

7-16/942

(54) [Title of the Invention] SEMICONDUCTOR INTEGRATED  
CIRCUIT

(57) [Abstract] (Amended)

[Object]

A high performance semiconductor integrated circuit using a neuron MOS transistor which is provided with a gate switch added to a floating gate thereof, such that a charge remaining in the floating gate or an injected charge is promptly removed through the switch to improve the reliability of the neuron MOS transistor and simultaneously make a multi-input neuron MOS available.

[Configuration]

A semiconductor integrated circuit comprising a semiconductor region of one conductivity type provided on a substrate, a source region and a drain region of an opposite conductivity type formed in the semiconductor region, a floating gate formed in a region which separates the source region and the drain region through an insulating film, and at least one neuron MOS transistor having a plurality of input coupling electrodes capacitively coupled to the floating gate through an insulating film, the floating gate is connected to at least one switching element in the neuron MOS transistor.

[Claims]

[Claim 1]

A semiconductor integrated circuit comprising a semiconductor region of one conductivity type provided on a substrate, a source region and a drain region of an opposite conductivity type formed in the semiconductor region, a floating gate formed in a region which separates the source region and the drain region through an insulating film, and at least one neuron MOS transistor having a plurality of input coupling electrodes capacitively coupled to the floating gate through an insulating film, characterized in that the floating gate is connected to a predetermined signal line through at least one switching element in the neuron MOS transistor, the plurality of input coupling electrodes of the neuron MOS transistor are applied with a first set of signals, the switching element is blocked, after the switching element is made conductive, to bring the floating gate of the neuron MOS transistor into an electrically floating state, and the plurality of input coupling electrodes of the neuron MOS transistor are subsequently applied with a second set of signals to perform operation.

[Claim 2]

A semiconductor integrated circuit according to claim 1, characterized in that the neuron MOS transistor constitutes an inverter circuit.

[Claim 3]

A semiconductor integrated circuit according to claim 1,

characterized in that the neuron MOS transistor constitutes a source follower circuit.

[Claim 4]

A semiconductor integrated circuit according to any of claims 1 to 3, characterized in that the predetermined signal line is connected to a node of a divider circuit comprised of resistive elements.

[Claim 5]

A semiconductor integrated circuit according to any of claims 1 to 3, characterized in that the predetermined signal line is connected to an output terminal of a logic circuit.

[Claim 6]

A semiconductor integrated circuit according to claim 5, characterized in that the output of the logic circuit is an output of a logic circuit for which a logic value is determined by the neuron MOS transistor itself.

[Claim 7]

A semiconductor integrated circuit according to claim 6, characterized in that the logic circuit for which the logic value of the output is determined by the neuron MOS transistor itself is an inverter circuit constituted by the neuron MOS transistor itself.

[Claim 8]

A semiconductor integrated circuit according to claim 6, characterized in that the logic circuit for which the logic value of the output is determined by the neuron MOS transistor itself is a logic circuit which is configured to output an

inverted signal of the output of the inverter circuit constituted by the neuron MOS transistor itself.

[Detailed Description of the Invention]

[0001]

[Technical Field Pertinent to the Invention]

The present invention relates to a semiconductor integrated circuit, and more particularly, to a semiconductor integrated circuit which is comprised of neuron MOS transistors.

[0002]

[Prior Art]

In semiconductor integrated circuits, higher integration of circuits resulting from the miniaturization of elements is under progress. Since the miniaturization of elements increases the number of elements loaded on one chip as well as the operating speed of the elements, higher functionalities are provided to each chip. A microprocessor LSI is a good example of the higher integration, characterized in that each element has a size of approximately 0.5 microns, and the number of elements loaded on one chip amounts to several millions. Cache memories, a floating point processing unit and so on, which have been conventionally separated from a microprocessor chip, can be loaded in a single microprocessor chip simultaneously, thanks to the reduction in size of the circuit components themselves resulting from the miniaturization of the elements, thereby significantly contributing to improved performance of computers.

[0003]

However, with the miniaturization and higher integration of elements, a variety of problems have arisen. One of the problems is hot carriers. Specifically, a constant supply voltage to a miniature element causes the generation of a high electric field within the element, so that carriers accelerated by the high electric field are injected into a gate oxide film as hot carriers, resulting in degraded element characteristics. A newly encountered problem is how to lay out and form wires required to connect elements, which amount to as many as several millions, to one another. These problems bring further miniaturization of elements in the future to a very difficult stage. Therefore, a further improvement in the performance of LSI chips could not be expected so much in the future.

[0004]

It is inventions of a neuron MOS transistor and a logic circuit which uses the neuron MOS transistor (invented by Nao Shibata and Tadahiro Ohmi and described in Laid-open Japanese Patent Application No. 3-6679 and Japanese Patent Application No. 3-83152) that solved the foregoing problems. The neuron MOS transistor is a high performance element which has functions similar to a nerve cell of a living organism. The neuron MOS transistor, which has a floating gate and a plurality of input coupling electrodes capacitively coupled to the floating gate, calculates a weighted average of input signals at the plurality of input coupling electrodes at a floating gate level to control ON/OFF of the transistor based on the result of the calculation.

While the conventional transistors are referred to as three-terminal devices due to the fact that a current flowing between two terminals is controlled ON/OFF by a third terminal, the neuron MOS transistor may be referred to as a four-terminal device which has a plurality of fourth terminals capable of controlling how to control a third terminal for controlling ON/OFF a current flowing between two terminals. Because of the high performance of the element itself, a logic circuit comprised of the neuron MOS transistors requires a significantly reduced number of elements and wires needed to implement a certain logic function, as compared with a conventional CMOS logic circuit. In addition, the neuron MOS transistor can readily implement flexible signal processing which cannot be readily carried out by a circuit using conventional transistors that are only capable of determining whether or not a single input is "0" or "1" to control ON/OFF, so that high performance circuits such as a flexible logic circuit, a real-time rule variable matching circuit, a winner-take-all circuit, an associative memory, and so on can be readily designed using the neuron MOS transistors. It is also possible to readily implement a function of extracting features from an immense amount of data. With the use of this function, simplification and higher speed of circuits can be expected as well in the field of image information processing such as character recognition, detection of a motion vector in an image, and so on. In this way, the neuron MOS transistor can be said to be a new device which implies the possibility

of creating completely new circuit technologies toward the realization of very high speed and very high performance LSIs.

[0005]

However, since the neuron MOS transistor has a floating gate, it implies the following problems with respect to the reliability. The neuron MOS transistor handles a multi-value voltage signal at the floating gate level. More specifically, a potential difference between a ground potential (GND) and a supply voltage ( $V_{DD}$ ) is divided into a plurality of logic levels to perform thresholding operations. Assuming that the supply voltage is constant, a voltage difference between a certain logic level and an adjacent logic level, i.e., a logic amplitude becomes smaller as a multi-value voltage signal has a larger number of levels, thereby resulting in a reduction in noise margin. Therefore, in a circuit using neuron MOS transistors, an error of a threshold voltage of the transistor must be limited to be sufficiently small as compared with a binary logic circuit, in order to prevent erroneous operations of the circuit.

[0006]

Generally, however, an error of a threshold value of the neuron MOS transistor is rather larger than an error of a threshold value of a normal MOS transistor due to variations in the amount of a charge existing in the floating gate. Table 1 shows threshold values, viewed from input coupling electrodes, of nine neuron MOS transistors loaded on a single wafer immediately after the manufacturing. Surprisingly, the threshold value varies over a width of nine volts from -7.95

V to +1.02 V. Since a normal MOS transistor presents approximately 0.2 volts of variations in the threshold value, the neuron MOS transistor has variations of approximately 45 times as much. A charge once injected into the floating gate of the neuron MOS transistor will not naturally extinguish due to a very high insulating resistance, and remains as it is, so that it directly affects the threshold value. The largely varying threshold value of the neuron MOS transistor results from an uneven surface of the wafer during device manufacturing processes such as reactive ion etching, sputtering and so on. Specifically, a non-uniform charge remains in the floating gate of each device.

[0007]

[Table 1]

Transistor Number	Threshold Value (Volts)
#1	1.017
#2	0.259
#3	0.081
#4	-1.962
#5	-3.193
#6	-3.716
#7	-4.602
#8	-7.209
#9	-7.949

[0008]



However, initial variations in the threshold value immediately after the manufacturing of devices can be reduced to a certain degree by techniques such as ultraviolet (UV) irradiation and so on. Table 2 shows threshold values of the devices, shown in Table 1, which had had varying threshold values immediately after the manufacturing, after they were irradiated with UV light for 1,000 seconds. The magnitude of the variations is reduced to 0.17 volts. However, even this reduction in variations is not sufficient for a neuron MOS transistor which handles a multi-value signal, thereby significantly limiting the number of levels of a multi-value signal which can be handed by the neuron MOS transistor.

[0009]

[Table 2]

Transistor Number	Threshold Value (Volts)
#1	2.205
#2	2.118
#3	2.056
#4	2.219
#5	2.150
#6	2.078
#7	2.225
#8	2.164
#9	2.058

[0010]

Furthermore, what is fatal for the neuron MOS transistor is a change in the threshold value over time which occur simultaneously as the device operates. This mainly arises due to injection of hot carriers into the floating gate. In a normal MOS transistor, hot carriers injected into a gate oxide film mostly pass through the oxide film to a gate electrode, so that the amount of charge which is trapped in the oxide film to cause a change in the threshold value is quite small. In the neuron MOS, however, most of injected charge remains in the floating gate, so that even a trace of injected charge would significantly change the threshold value of the neuron MOS transistor. The neuron MOS transistor suffers from a significantly large amount of change in the threshold value caused by the injected hot carriers as well as a small allowable error of the threshold value, as compared with the normal MOS transistor.

[0011]

A floating gate type EPROM having a floating gate similar to the neuron MOS transistor is a device which only needs to determine "0" or "1", that is, a binary value, and accordingly is allowed a large amount of change in the threshold value over time (approximately several volts). Thus, the floating gate type EPROM can ensure data holding characteristics over several years and can have been therefore brought into practice. On the other hand, the neuron MOS transistor is a device which handles a multi-value signal with a floating gate as mentioned above, so that the amount of allowable change in the threshold

value is so small that even a small amount of injected charge would result in an erroneous operation.

[0012]

As described above, the neuron MOS transistor has a critical disadvantage of extremely low reliability, though it has significantly high functionalities. In addition, for demonstrating the high functionality, the neuron MOS transistor must be provided with an increased number of inputs. However, an increase in the number of inputs results in a reduction in logic amplitude and a lower reliability, so that the number of inputs cannot be readily increased.

[0013]

[Problems to be solved by the Invention]

It is therefore an object of the present invention to provide a high performance semiconductor circuit using a neuron MOS transistor which is provided with a gate switch added to a floating gate thereof, such that a charge remaining in the floating gate or an injected charge is promptly removed through the switch to improve the reliability of the neuron MOS transistor and simultaneously make a multi-input neuron MOS available.

[0014]

[Means for Solving Problem]

A semiconductor integrated circuit according to the present invention comprising a semiconductor region of one conductivity type provided on a substrate, a source region and a drain region of an opposite conductivity type formed in the

semiconductor region, a floating gate formed in a region which separates the source region and the drain region through an insulating film, and at least one neuron MOS transistor having a plurality of input coupling electrodes capacitively coupled to the floating gate through an insulating film, wherein the floating gate is connected to a predetermined signal line through at least one switching element in the neuron MOS transistor, the plurality of input coupling electrodes of the neuron MOS transistor are applied with a first set of signals, the switching element is blocked, after the switching element is made conductive, to bring the floating gate of the neuron MOS transistor into an electrically floating state, and the plurality of input coupling electrodes of the neuron MOS transistor are subsequently applied with a second set of signals to perform operation.

[0015]

[Operations]

In the present invention, the switch is added to the floating gate of the neuron MOS transistor. This switch has one terminal connected to the predetermined signal line, so that a surplus charge existing in the floating gate can be removed by appropriately controlling the switch. It is therefore possible to prevent a change in a threshold value of the neuron MOS transistor over time, and improve the reliability of the neuron MOS integrated circuit. Also, since variations in the threshold value can be limited to be small, it is possible to increase a maximally allowable number of

inputs of the neuron MOS transistor and therefore realize a higher performance neuron MOS integrated circuit.

[0016]

[Examples]

The present invention will hereinafter be described in detail with reference to examples, however, it goes without saying that the present invention is not limited to these examples.

[0017]

(First Example)

Fig. 1 illustrates the configuration of circuit according to a first example of the present invention. The illustrated circuit operates a majority decision logic for three binary signals  $X_1$ ,  $X_2$ ,  $X_3$ . Specifically, this is a circuit which outputs "0" when two or more of the three inputs is "1" and outputs "1" when the number of "1's" of the inputs is one or less. In the figure, 101 designates a P-channel neuron MOS transistor, and 102, an N-channel neuron MOS transistor. These neuron MOS transistors 101, 102 constitute a three-input neuron MOS inverter with a common floating gate 103 and three input coupling electrodes 104, 105, 106 capacitively coupled to the floating gate 103. Assume that coupling capacitances of the input coupling electrodes 104, 105, 106 with the floating gate are equal and is represented by  $C_c$ . Reference numeral 107 designates a switch which is disposed in a power supply line between the floating gate 103 and a ground potential, and becomes conductive when a first control signal is "1".

Reference numeral 108, 109, 110 designate switches which are disposed between the input coupling electrodes 104, 105, 106 and the inputs  $X_1$ ,  $X_2$ ,  $X_3$ , respectively, and are controlled by a second control signal. Each of the switches 104, 105, 106 is configured to connect the floating gate to an associated input when the second control signal is "0", and connects the floating gate to the ground potential when the second control signal is "1".

[0018]

Generally, a potential  $\Phi_F$  at the floating gate of the neuron MOS transistor is expressed by the following equation:

[0019]

[Equation 1]

$$\Phi_F = \frac{\sum_{i=1}^n C_i V_i}{C_{TOT}} + \frac{Q_F}{C_{TOT}} \quad (1)$$

where  $C_i$  is a coupling capacitance of an i-th input coupling electrode;  $V_i$  is a potential at the i-th input coupling electrode; and  $Q_F$  is the amount of charge existing in the floating gate.  $C_{TOT}$  is a total capacitance associated with the floating gate and is expressed by the following equation:

[0020]

[Equation 2]

$$C_{TOT} = C_0 + \sum_{i=1}^n C_i \quad (2)$$

where  $C_0$  is a total parasitic capacitance associated with the floating gate such as a gate capacitance of the transistor, a capacitance between the floating gate and a substrate, and so on.

[0021]

A potential  $\Phi_{103}$  at the floating gate 103 in the exemplary circuit of Fig. 1 is expressed by:

[0022]

[Equation 3]

$$\Phi_{103} = \frac{C_c V_{104} + C_c V_{105} + C_c V_{106}}{C_{TOT}} + \frac{Q_{103}}{C_{TOT}} \quad (3)$$

where  $V_{104}$ ,  $V_{105}$ ,  $V_{106}$  are potentials at the input coupling electrodes 104, 105, 106, respectively, and  $Q_{103}$  is a charge existing on the floating gate 103. Assuming now that the total parasitic capacitance  $C_0$  associated with the floating gate 103 is sufficiently smaller than the coupling capacitance  $C_c$  to be negligible, the floating gate potential  $\Phi_{103}$  is expressed by:

[0023]

[Equation 4]

$$\Phi_{103} = \frac{V_{104} + V_{105} + V_{106}}{3} + \frac{Q_{103}}{3C_c} \quad (4)$$

where the first term on the right side is an average value of the three inputs, and the second term is an offset value.

Assuming herein that the floating gate charge  $Q_{103}$  is "0", the floating gate potential  $\Phi_{103}$  is zero when the three inputs are all "0";  $V_{DD}/3$  when one of the three inputs is "1"; and  $V_{DD}$  when the three inputs are all "1". It should be noted that a logic state "0" is corresponded to zero volt, and a logic state "1" to  $V_{DD}$ . Assuming that an inversion threshold value viewed from the floating gate 103 of the CMOS inverter comprised of the P-channel MOS transistor 101 and the N-channel MOS transistor 102 is set at  $V_{DD}/2$ , the output of the CMOS inverter, i.e., an output 111 of the majority decision function operating circuit delivers "1", i.e., the potential  $V_{DD}$  when zero or one of the three inputs is "1"; and delivers "0" when two or more of the three inputs are "1" because the CMOS inverter inverts "1". This is exactly the operation of the majority decision function.

[0024]

In the foregoing description, while the floating gate charge  $Q_{103}$  is assumed to be zero and ignored, the floating gate charge  $Q_{103}$  actually has a value which is not zero and changes over time due to the injection of hot carriers during the operation of the MOS transistors. Assume herein that the floating gate charge  $Q_{103}$  has changed over time and ends up to a value  $C_c V_{DD}$ . The potential  $\Phi_{103}$  at the floating gate 103 is expressed by:

[0025]

[Equation 5]



$$\Phi_{103} = \frac{V_{104} + V_{105} + V_{106}}{3} + \frac{V_{DD}}{3C_c} \quad (5)$$

In other words, the potential at the floating gate is offset by  $V_{DD}/3$ . Therefore, the potential  $\Phi_{103}$  at the floating gate is  $V_{DD}/3$  when none of the voltages  $V_{104}$ ,  $V_{105}$ ,  $V_{106}$  is "1"; and  $2V_{DD}/3$  or more when one or more of the voltages  $V_{104}$ ,  $V_{105}$ ,  $V_{106}$  is "1". Consequently, the circuit outputs "1" only when none of the three inputs is "1" and outputs "0" when one or more of the three inputs is "0". This is not the normal majority decision logic operation.

[0026]

As described above, a surplus charge accumulated in the floating gate causes the circuit to malfunction. The switch 107 in the circuit of Fig. 1 is provided for removing this surplus charge. The operation of the illustrate circuit including the switch 107 is as follows. As the switch 107 is turned on, the floating gate 103 is forcedly biased to the ground potential. Simultaneously, the ground potential is input to the input coupling electrodes 104, 105, 106 as a first set of signals. In this event, no voltage is applied to the coupling capacitances between the floating gate and the input coupling electrodes, so that no charge is generated on the electrodes of coupling capacitances. Assuming that the parasitic capacitance  $C_0$  associated with the floating gate 103 is sufficiently small as compared with the coupling capacitance  $C_c$  and is therefore negligible, no charge exists in the floating

gate 103. When the switch 107 is turned off in this state, the charge in the floating gate 103 is completely reset. The switches 108, 109, 110 are provided for forcedly bringing the input coupling electrodes 104, 105, 106 to the ground potential. Subsequently, the switches 108, 109, 110 are switched to apply the input coupling electrodes with the inputs  $X_1$ ,  $X_2$ ,  $X_3$  of the circuit as a second set of signals, to perform a correct operation without a surplus charge in the floating gate.

[0027]

In the foregoing manner, the neuron MOS circuit comprising the additional switch connected to the floating gate can prevent variations in the threshold value of the neuron MOS transistors due to a remaining charge in the floating gate immediately after the device manufacturing process, and a malfunction of the circuit caused thereby. In addition, when the charge in the floating gate is reset by the floating gate reset switches as appropriate even during the operation of the circuit, it is possible to fully eliminate a change in the threshold value over time due to the injection of hot carriers generated during the operation of the device into the floating gate, and the resulting problem of the malfunction of the circuit. By the way, a completely floating gate, which does not have the additional floating gate switch, has a very high insulating resistance, so that the floating gate charge could not be increased or decreased by a mechanism other than the injection of hot carriers, for example, by a leak current or the like, during the operation of the device. However, with the addition

of the floating gate switch, the floating gate charge is increased or decreased by a leak current through the floating gate switch rather than by the injection of hot carriers. However, a leak current of a general switch using a MOS transistor is on the order of femto ( $10^{-15}$ ) amperes, so that, assuming that a capacitance of several tens of femtofarad, which is a generally accumulated capacitance in DRAM, is used as a coupling capacitance, a charge holding characteristic on the order of milliseconds can be sufficiently ensured. Therefore, the floating gate charge reset operation through the floating gate switch may be sufficiently performed at intervals of milliseconds. The most general control scheme involves providing a reset cycle at time intervals of milliseconds, as a refresh cycle of DRAM, and freely operating the circuit in the remaining time other than the reset cycle. However, if an operation based on the floating gate potential should be accurately performed, as is the case of a multi-input neuron MOS transistor, the period of the reset cycle may be reduced, or the reset operation may be performed immediately before the operation is performed each time. In other words, the period of the reset is determined depending on particular applications, so that it goes without saying that the reset may be performed at any intervals.

[0028]

It should be noted that in the circuit of Fig. 1, after the switch 107 is fully opened to bring the floating gate into a floating state, the switches 108 - 110 must be switched in

order to prevent a charge from remaining in the floating gate. This is because if the switch 108 or 109 or 110 is switched before the input coupling electrode 104 or 105 or 106 is applied with an input signal, the input coupling capacitances are applied with a voltage, causing a charge to flow into (out of) the floating gate through the switch 107. For this reason, the switch 107 and the switches 108, 109, 110 should be driven with control signals at different timings. However, one and the same control signal may be used provided that the timing at which the switch 107 is opened is delayed from the timing at which the switches 108, 109, 110 are opened, in consideration of propagation delays due to wires and so on. Alternatively, the switches 108, 109, 110 may be removed if the input signal is controlled to a fixed potential, for example, the ground potential without fail at the time a reset operation is performed. A contact connected to the floating gate 103 through the switch 107 may be any contact as long as it is connected to the power supply with a low impedance, and need not be a contact at the ground potential. For example, the floating gate charge can be reset to zero as well by setting the input coupling electrodes 104, 105, 106 to  $V_{DD}$ , and the floating gate 103 also to  $V_{DD}$  through the switch 107 at the time of a reset operation. In this event, a contact connected to the floating gate 103 through the switch 107 is disposed on a  $V_{DD}$  line. Generally, for resetting the floating gate charge to zero, the input coupling electrodes may be brought to the same potential as the floating gate through a low impedance

path at the time of a reset operation, wherein the potential itself may be any value. It is desirable to connect to a predetermined power supply or to a predetermined signal line with a low impedance for rapidly performing the reset operation. However, depending on particular purposes, it may be connected, for example, through a high impedance element.

[0029]

Further alternatively, the floating gate charge may be reset by setting the input coupling electrodes and the floating gate electrode to different potentials upon resetting. Due to a potential difference, a certain amount of charge remains in the floating gate after the reset. However, if the potential difference between the input coupling electrodes and the floating gate is the same every time the reset is performed, completely the same amount of charge will remain in the floating gate every time, so that a change in the floating gate charge over time can be corrected by injection of hot carriers, or the like. In other words, for resetting a change in the threshold value over time, the floating gate charge may be reset with the same potential every time. Alternatively, the floating gate potential may be intentionally offset by resetting the floating gate charge with a potential difference. For example, when the floating gate charge is reset with the input coupling electrodes 104, 105, 106 set to the ground potential, and the floating gate 103 to  $V_{DD}/3$ , the floating gate will have an offset of  $V_{DD}/3$ . This is identical to a remaining floating gate charge equal to  $C_c V_{DD}$ , so that, as shown in the

foregoing example, the circuit outputs "1" only when none of the three inputs is "1" and outputs "0" when one or more of the three inputs is "1". Conversely, if the floating gate charge is reset with the floating gate 103 set to the ground potential and all the input coupling electrodes 104, 105, 106 biased to  $V_{DD}/3$ , the circuit outputs "1" when two or less of the three inputs is "1", and outputs "0" when all the inputs are "1". These circuits, though not implementing a majority decision function, may be effective approaches if the realization of such functions are desired. An intermediate potential such as  $V_{DD}/3$  may be directly supplied from a power supply which outputs a voltage of  $V_{DD}/3$ , or may be generated using a resistive divider circuit connected between  $V_{DD}$  and the ground potential.

[0030]

In the example herein illustrated, a plurality of the input coupling electrodes are all applied with the same voltage when the reset is performed, however, they may be applied with different voltages. Importance resides only in a resulting value which is derived by weighting the potentials on the respective input coupling electrodes with the coupling capacitance and averaging the weighted potentials. For example, the aforementioned reset operation, which is performed with the potential of  $V_{DD}/3$  applied to all the three input coupling gates having an equal coupling capacitance, may be equivalently implemented by applying  $V_{DD}$  to one of the input coupling electrodes and the ground potential to the remaining

two. In essence, the average value is only required to be a predetermined value.

[0031]

As a switching element connected to the floating gate, a discrete transistor, a CMOS transistor or the like is generally used. However, a diode may be used in some cases. For example, if a PN diode 201 is used as illustrated in Fig. 2, it is possible to reset a change in a floating gate charge over time in the negative direction (a reduction in positive charge, or an increase in negative charge). In the circuit of Fig. 2, a reset operation is performed by setting the potentials on input coupling electrodes 202, 203, 204 to the ground potential. Upon resetting, the potential on the floating gate 205 is automatically biased to a potential at the boundary of ON and OFF in the forward direction of the PN diode. In other words, when a turn-on voltage of the diode is assumed to be  $V_{ON}$ , the potential on the floating gate 205 is biased to  $-V_{ON}$ . Subsequently, when the input coupling electrodes 202, 203, 204 are applied with positive potentials other than the ground potential so that the circuit is operating, the potential on the floating gate 205 is larger than  $-V_{ON}$ , the diode 201 is in an OFF state (the switch is off), and the floating gate 205 is literally in an electrically floating state. During the operation, if the floating gate 205 is applied with a negative charge, the potential on the floating gate will effectively shift in the negative direction. However, at the next reset time, the input coupling gates are all set to the ground

potential, and the potential on the floating gate is going to change to a potential more negative than  $-V_{ON}$ . However, the PN diode 201 immediately turns on (the switch is on) to clip the potential at the floating gate at  $-V_{ON}$ . With this effect, it is possible to reset the negative charge injected into the floating gate during the operation. Similarly, by connecting a PN diode between  $V_{DD}$  and the floating gate, it is possible to reset a change in a floating gate charge over time in the positive direction (an increase in the positive charge or a decrease in the negative charge).

[0032]

While this example has been described for a neuron MOS inverter circuit as an example, it goes without saying that the foregoing description can be generally applied to a neuron MOS transistor itself and a circuit using a neuron MOS transistor.

[0033]

(Second Example)

Fig. 3 illustrates a second example of the present invention. The illustrated circuit outputs an analog voltage signal which is digital-to-analog converted from a three-bit digital signal input comprised of  $X_0$ ,  $X_1$ ,  $X_2$ . In the figure, 301 designates a depletion type P-channel neuron MOS transistor, and 302 a depletion type N-channel neuron MOS transistor. These neuron MOS transistors 301, 302 are positioned in opposition with respect to  $V_{DD}$  and the ground electrode. A four-input neuron MOS source follower circuit is constituted



by a common floating gate 303, and four input coupling electrodes 304, 305, 306, 307 capacitively coupled to the floating gate 303. The coupling capacitance ratio of the input coupling electrodes 304, 305, 306, 307 to the floating gate is 4:2:1:1. The coupling capacitance ratio of the input coupling electrodes is binary weighted. The input coupling electrode 307 is provided for applying an offset to a potential at the floating gate 303, and is normally at the ground potential. The rest of the configuration is identical to the first example and therefore is omitted. A control scheme for the circuit is also identical to the first example.

[0034]

For resetting a surplus charge on the floating gate, first, the input coupling electrodes 304, 305, 306 are set to the ground potential, and the switch 308 is turned on. Subsequently, the switch 308 is turned off to bring the floating gate 303 into an electrically floating state. As switches 309, 310, 311 are switched to apply the three-bit digital signal  $X_2$ ,  $X_1$ ,  $X_0$  to the input coupling gates 304, 305, 306, the potential  $\Phi_F$  at the floating gate 303 is expressed by the following equation by the binary weighted input coupling capacitances:

[0035]

[Equation 6]

$$\Phi_F = \frac{4X_2 + 2X_1 + X_0}{8} \quad (6)$$

The source follower circuit comprised of the neuron MOS transistors 301, 302 can output substantially the same voltage as the potential on the floating gate 303, so that a digital-to-analog converted output expressed by the equation (6) is derived as a result.

[0036]

This example demonstrates that the present invention, which can reset a surplus charge in the floating gate by means of a switch added to the floating gate, can be widely applied to general circuits using a neuron MOS transistor as well as the inverter circuit illustrated in the first example.

[0037]

In this example, the floating gate is connected to the ground potential through the switch 308, and the input coupling gates are also applied with the ground potential upon resetting. However, as is the case in the first example, it goes without saying that the floating gate may be reset using a variety of potentials.

[0038]

Alternatively, this circuit may be used in the following manner. With the input coupling electrodes 304, 305, 306 applied with the input signals  $X_2$ ,  $X_1$ ,  $X_0$ , the switch 308 is turned on to reset a charge in the floating gate, and then the switch 308 is turned off. Subsequently, as the input coupling electrodes 304, 305, 306 are applied with second input signals  $X_2'$ ,  $X_1'$ ,  $X_0'$ , respectively, the potential  $\Phi_f$  at the floating gate 303 is expressed by:

[0039]

[Equation 7]

$$\Phi_F = \frac{4X_2' + 2X_1' + X_0'}{8} + \frac{4X_2 + 2X_1 + X_0}{8} \quad (7)$$

This is a signal representative of a difference calculated by subtracting a weighted average value of the first signals from a weighted average value of the second signals. In this circuit based on the source follower configuration, the potential at the floating gate can be output as it is, so that this circuit can output an analog signal corresponding to a difference between two signals. With the employment of this function, analog values can be freely added or subtracted, so that this circuit is useful in a data processing circuit for image processing and so on.

[0040]

(Third Example)

Fig. 4 illustrates a third example according to the present invention. This is an example in which the present invention is applied to a logic circuit using neuron MOS transistors (invented by Nao Shibata, Tadahiro Ohmi and described in Japanese Patent Application No. 3-83152). This circuit performs an exclusive OR (XOR) operation with three binary input signals  $V_A$ ,  $V_B$ ,  $V_C$ . Reference numeral 401, 402 designate neuron MOS inverters each having five input coupling electrodes which are equal in coupling capacitance. In the neuron MOS logic

circuit, 401 is referred to as a main inverter, while 402 as a pre-inverter. The use of neuron MOS transistors would enable any logic function to be implemented by combining a main inverter with a plurality of pre-inverters.

[0041]

403, 404 designate N-channel MOS transistors which are used as switching elements for resetting a surplus charge in the floating gates of the neuron MOS inverters 401, 402, respectively. These N-channel MOS transistor switches are controlled by a control signal  $\phi_{FG}$ . An N-channel MOS transistor 405 and a P-channel MOS transistor 406 constitute a CMOS switch for connecting and disconnecting the output of the neuron MOS inverter 402 to and from a node 407 at which two input coupling electrodes of the neuron MOS inverter 401 join. Reference numeral 408 designates an N-channel MOS transistor switch for connecting the node 407, i.e., the two input coupling electrodes of the neuron MOS inverter 401 to a ground potential electrode. These switches are controlled by a control signal  $\phi_R$ . Reference numeral 409, 410, 411 designate NOR gates.

[0042]

In this circuit, a surplus charge in the floating gate is reset by setting all the input coupling electrodes of the neuron MOS inverters 401, 402 and the floating gate to the ground potential. Subsequently, the floating gate is brought into an electrically floating state, and input signals of the circuit are introduced to the input coupling electrodes to perform an operation. Specifically, a reset cycle is started at the time

the control signals  $\phi_{FG}$ ,  $\phi_R$  rise from "0" to "1". Upon resetting, the NOR gates in an input section output "0", i.e., the ground potential irrespective of the input signals  $V_A$ ,  $V_B$ ,  $V_C$ . Therefore, nodes 412, 413, 414, which serve as common inputs of the pre-inverter 402 and the main inverter 401, are forcedly set to the ground potential. The other two input coupling electrodes of the neuron MOS pre-inverter 402, one of which must be biased to the ground potential, and the other of which must be biased to  $V_{DD}$  during the operation, must be both biased to the ground potential upon resetting. Therefore, the input coupling electrode, which should be biased to  $V_{DD}$  during the operation, is applied with an inverted version of the control signal  $\phi_R$ . With the foregoing operation, all the input coupling electrodes of the neuron MOS inverter 402 are brought to the ground potential upon resetting. The floating gate of the neuron MOS inverter 402 is forcedly grounded by the switching transistor 404 while the control signal  $\phi_{FG}$  is "1".

[0043]

In this way, the charge in the floating gate of the neuron MOS inverter 402 is reset. Since the floating gate of the neuron MOS inverter 402 is grounded, its output is at  $V_{DD}$ . If the output is connected to an input coupling electrode of the neuron MOS inverter 401 as it is, the charge in the floating gate of the neuron MOS inverter 401 cannot be reset. Therefore, upon resetting, the connection of the output of the neuron MOS inverter 402 with the input coupling electrode node 407 of the neuron MOS inverter 401 is released by the CMOS switch comprised

of the transistors 405, 406. Further, the contact 407 is forcedly biased to the ground potential by the transistor 408. The floating gate of the neuron MOS inverter 401 is also grounded by the switching transistor 403. With the foregoing operation, the charge in the floating gate of the neuron MOS inverter 401 is reset.

[0044]

Fig. 5 shows the result of measuring input/output signal waveforms and internal signal waveforms of the circuit according to this example in Fig. 4.  $\Phi_{FP}$  and  $V_{OP}$  show the waveform of the potential at the floating gate of the neuron MOS inverter 402, and the waveform of the output of the neuron MOS inverter 402, respectively. In the same way,  $\Phi_{FM}$  and  $V_{OM}$  show the waveform of the potential at the floating gate of the neuron MOS inverter 401, and the waveform of the output of the neuron MOS inverter 401, respectively. It can be seen that in a reset period, the potential at the floating gate is at the ground potential. It can be also seen that after the reset period, the potential at the floating gate varies corresponding to a change in the input signal, and the output also varies. The output  $V_{OUT}$  of the circuit shows the result of a normal exclusive OR (XOR) operation for the three inputs  $V_A$ ,  $V_B$ ,  $V_C$ .

[0045]

The reset cycle ends when the control signal  $\phi_{FG}$  first falls and then  $\phi_R$  falls. While the two control signals  $\phi_{FG}$ ,  $\phi_R$  are used, one and the same control signal may be used instead provided that a timing at which the floating gate switches 403, 404 are

opened is delayed from the timing at which other switches are opened, in consideration of propagation delays due to wires and so on.

[0046]

While switching elements used in this example are N-channel MOS transistor, CMOS switch and NOR gates, appropriate switching elements are not limited to these. Any switching elements which perform a switching function may be used with a slight change in circuit connections which are not essential to the circuit operation of the present invention.

[0047]

For configuring a complicated logic circuit, a plurality of logic circuits may be cascade connected. For cascade connecting neuron MOS logic circuits as shown in this example, the NOR gates 409, 410, 411 in the input section, and so on are not required in the circuit at the latter stage. This is because the neuron MOS logic circuit which employs the approach shown in this example outputs zero, i.e., the ground potential without fail upon resetting. The floating gate of the main neuron MOS inverter 401 is grounded through the switch 403, so that the output of the main neuron MOS inverter 401 transitions to  $V_{DD}$ . Generally, since the output of the main inverter is logically inverted by a CMOS inverter and serves as the output of the entire circuit, the output of the entire circuit is the ground potential. Thus, the NOR gates in the input section are required only at connections of a conventional logic circuit with the neuron MOS logic circuit shown in this

example which employs the present invention.

[0048]

While one example of the present invention has been described for an exemplary neuron MOS logic circuit for operating a three-input XOR function, the present invention is not limited to the three-input XOR function but can be widely applied to any neuron MOS logic circuits. Also, while this example has shown a reset technique for biasing both the input coupling electrodes and the floating gate of the neuron MOS to the ground potential, it goes without saying that a variety of other techniques may be used such as a technique of resetting with the  $V_{DD}$  potential.

[0049]

(Fourth Example)

Fig. 6 illustrates the configuration of a circuit according to a fourth example of the present invention. Specifically, the illustrated circuit is a comparator for use in a batch conversion type A/D converter which employs the technology of the present invention. While the illustrated circuit employs a neuron MOS inverter, a standard symbol representative of a neuron MOS is not used, but symbols representative of a general CMOS inverter and a capacitive element are used to illustrate the circuit for simplifying the explanation. Reference numeral 601 designates a CMOS inverter, and 602, 603 capacitive elements having capacitances  $mC$ ,  $(2^n - m)C$ , respectively. Reference numeral 604 designates a node at which the CMOS inverter 601 is connected to the capacitances



602, 603. A neuron MOS inverter having two input coupling electrodes is constituted by the CMOS inverter 601 and the capacitances 602, 603 with the node 604 used as a floating gate. In other words, the node 604 serves as a floating gate of the neuron MOS inverter. A number of the neuron MOS inverters equal to  $2^n$  are arranged in parallel to constitute comparators of an n-bit batch conversion type A/D converter. For simplification, a m-th comparator is extracted and illustrated in Fig. 6. Reference numeral 605, 606 designate wires for supplying signals to two input coupling electrodes of the neuron MOS inverter which functions as a comparator. These wires are signal wires common to all comparators. Reference numeral 607, 608 designate switches for selecting an analog voltage signal  $V_{IN}$ , which is an input to the A/D converter, or a maximum reference voltage  $V_H$  and a minimum reference voltage  $V_L$ , as signals supplied to the signal wires 605, 606.

[0050]

A switch 609 is provided for resetting a surplus charge in the floating gate of the neuron MOS inverter, and is positioned between the output of the neuron MOS inverter and the floating gate 604. This example illustrates a semiconductor integrated circuit in which a node connected with a floating gate of a neuron MOS transistor through a switching element serves as an output of an inverter circuit constituted by the neuron MOS transistor itself.

[0051]

In the neuron MOS circuit, the surplus charge in the

floating gate is reset in the following manner. During a reset period, the switch 609 is controlled to turn ON, so that the floating gate 604 of the neuron inverter conducts to the output of the inverter 601, viewed from the floating gate 604. Therefore, the floating gate 604, i.e., the input of the inverter 601 and the output of the inverter 601 are forced to the same potential. In other words, the floating gate 604 of the neuron MOS inverter is automatically biased to a voltage at which the input of the inverter 601 is equal to the output of the same, i.e., an inversion threshold value  $V_{INV}$  of the inverter 601. On the other hand, simultaneously with the switch 609, the switch 607 and the switch 608 are controlled to connect to lower contacts during the reset period, so that  $V_H$  is applied to the wire 605, and  $V_L$  to the wire 606. Therefore, the electrode on the input side of the capacitance 602 is applied with the voltage  $V_H$ , and the electrode on the input side of the capacitance 603 with  $V_L$ , respectively. Considering that the static capacitance of the capacitance 602 is  $mC$ , and the static capacitance of the capacitance 603 is  $(2^n - m)C$ , the circuit is identical to an assumed single input coupling capacitance equivalent to a static capacitance  $2^n C$ , which is a combination of the capacitance 602 and the capacitance 603, and an equivalent potential  $V_{REF}$  expressed by:

[0052]

[Equation 8]

$$V_{REF} = V_L + \frac{m}{2^n}(V_H - V_L) \quad (8)$$

which is applied to the input side. The equivalent potential  $V_{REF}$  is an  $m$ -th potential of  $2^n$  equally divided potentials between the minimum reference voltage  $V_L$  and the maximum reference voltage  $V_H$ , and serves as a reference potential for the  $m$ -th comparator. This comparator, using the neuron MOS, generates the reference potential in accordance with the capacitance division principle using the input coupling capacitances of the neuron MOS. As a result, during the reset period, the potentials  $V_{REF}$  and  $V_{INV}$  are applied to both ends of the equivalent single input coupling capacitance. As the reset ends, the switch 609 is opened to bring the floating gate 604 into an electrically floating state. Therefore, a charge corresponding to a difference between  $V_{REF}$  and  $V_{INV}$  upon resetting remains in the floating gate 604. It can be said that this is a memory function for dynamically storing an analog potential as a charge accumulated on a capacitance. After the reset period, the switches 607, 608 are also switched to connect the analog signal voltage  $V_{IN}$  to the wires 605, 606. Therefore, the analog signal input  $V_{IN}$  is applied to the electrode on the input side of the equivalent single input coupling capacitance. In this event, considering the amount of charge remaining in the floating gate 604, the potential  $\Phi_F$  on the floating gate 604 is expressed by:

[0053]

[Equation 9]

$$\Phi_F = V_{IN} - V_{REF} + V_{INV} \quad (9)$$

It should be noted that a parasitic capacitance associated with the floating gate 604 is ignored as being sufficiently small. As can be understood also from the equation (9), a subtraction of signals at a floating gate level can be realized by adding a switch to the floating gate, and performing the control so far described. When  $V_{IN}$  is smaller than  $V_{REF}$ , the potential  $\Phi_F$  at the floating gate becomes smaller than  $V_{INV}$ , so that the inverter 601 outputs "1". On the other hand, when  $V_{IN}$  is larger than  $V_{REF}$ , the potential  $\Phi_F$  at the floating gate becomes larger than  $V_{INV}$ , causing the inverter 601 to invert and output "0". In other words, a comparison of the input analog signal voltage  $V_{IN}$  with the reference voltage  $V_{REF}$  can be carried out.

[0054]

Each time a reset is performed, the floating gate 604 is biased to the same potential  $V_{INV}$  without fail, thereby making it possible to reset a change in the inversion threshold value over time, viewed from the input coupling electrodes of the neuron MOS inverter, due to the injection of hot carriers and so on during an operation period other than the reset period. In addition, the floating gate 604 is reset with the inversion threshold potential  $V_{INV}$  upon resetting, and also during a comparison operation, a determination is made based on whether the potential at the floating gate 604 is larger or smaller than the inversion threshold potential  $V_{INV}$ . In other words, the inversion threshold value is used as the reference both

upon resetting and during the comparison operation. Thus, even if the inversion threshold value  $V_{INV}$  of the inverter varies among individual comparators, this will not cause an error in the comparison operation. The comparison is made only between the potential at the input coupling electrode upon resetting and the potential at the input coupling electrode during the comparison operation. In other word, by using the technique shown in this example, it is possible to eliminate not only a change in the inversion threshold value over time, viewed from the input coupling electrode of the neuron MOS inverter, associated with the operation of the device, but also variations in the inversion threshold value of the inverter, viewed from the floating gate, resulting from variations in parameters of individual elements.

[0055]

The foregoing description has been made for the control of the neuron MOS circuit which is conducted such that the input coupling electrode of the neuron MOS is applied with the reference voltage upon resetting, i.e., when the switch 609 is ON, and with an analog input signal during a comparison operation. Alternatively, a reverse sequence may be employed. Specifically, the neuron MOS circuit may be controlled such that the input coupling electrode is applied with an analog input signal voltage upon resetting and with the reference voltage during a comparison operation. In this event, the analog signal input is held on the input coupling capacitance for storage to simultaneously realize a sample and hold function

during an A/D conversion. This is effective for implementing a sub-range type A/D converter.

[0056]

(Fifth Example)

Fig. 7 illustrates the configuration of a circuit according to a fifth example of the present invention. The illustrated circuit shows an example in which the technique of connecting the floating gate and the output of a neuron MOS inverter through a switch to reset a charge in the floating gate, described in the fourth example, is applied to a neuron MOS logic circuit. Specifically, the circuit operates a three-input exclusive OR (XOR). The circuit of the fifth example is identical in configuration to the circuit of the third example except for a reset mechanism. Reference numeral 701, 702 designate neuron MOS inverters. In view of the configuration of the circuit, numeral 701 is referred to as a main inverter, and 702 as a pre-inverter. Reference numeral 703, 704 designate N-channel MOS transistors which are used as switching elements for resetting surplus charges in floating gates of the neuron MOS inverters 701, 702, respectively. These N-channel MOS transistor switches are controlled by a control signal  $\phi_{FG}$  to connect and disconnect the floating gate to and from the output of the associated neuron MOS inverter. An N-channel MOS transistor 705 and a P-channel MOS transistor 706 constitute a CMOS switch for connecting and disconnecting the output of the neuron MOS inverter 702 to and from a node 707 at which two input coupling electrodes of the neuron MOS

inverter 701 join. Reference numeral 708 designates an N-channel MOS transistor switch for connecting the node 707, i.e., the two input coupling electrodes of the neuron MOS inverter 701 to a ground potential electrode. These switches are controlled by a control signal  $\phi_R$ . Reference numeral 709, 710, 711, 712 designate NAND gates, respectively.

[0057]

A reset operation is performed in the following manner. First, the switch connecting the floating gate to the output of each neuron MOS inverter is turned on. This automatically biases the floating gate to an inversion threshold value  $V_{INV}$  of the inverter. Simultaneously, the potentials at a plurality of the neuron MOS inverters are controlled such that an average value of the potentials is set to a logical threshold value, i.e.,  $V_{DD}/2$ . In this way, a charge corresponding to a potential difference between the logical threshold value  $V_{DD}$  and the actual threshold value  $V_{INV}$  viewed from the floating gate is induced in the floating gate. It is therefore possible to remove not only a change in the amount of charge in the floating gate over time but also variations in the inversion threshold value  $V_{INV}$  resulting from errors of parameters associated with each inverter. In other words, even if individual inverters vary in  $V_{INV}$ , the reset technique shown in this example can correctly match the logical threshold values viewed from the input coupling electrode with  $V_{DD}/2$  in all the neuron MOS inverters. It is therefore possible to realize a higher operation accuracy of the neuron MOS logic circuit, an improved

noise margin, and a logic circuit having a larger number of inputs (a larger fan-in).

[0058]

Specifically, the switches 703, 704 are first turned on to bias the floating gates of the neuron MOS inverters 701, 702 to the inversion threshold value  $V_{INV}$  of the inverters. For setting an average potential of the input coupling electrodes to  $V_{DD}/2$ , input coupling electrodes corresponding to one half of a coupling capacitance is set to  $V_{DD}$ , and the remaining half of the input coupling electrodes is set to the ground potential in the input coupling electrodes which capacitively couple to the floating gates of the neuron MOS inverters. In the example illustrated in Fig. 7, the input coupling electrodes connected to nodes 713, 714, 715, which are applied with input signals  $V_A$ ,  $V_B$ ,  $V_C$  during the operation, are all applied with  $V_{DD}$ , and the rest of the input coupling electrodes are all applied with the ground potential. The NAND gates 709, 710, 711 are used as switches for setting the nodes 713, 714, 715 to  $V_{DD}$  upon resetting, irrespective of input signals. A CMOS switch comprised of the MOS transistors 705, 706, and the N-channel MOS transistor switch 708 are provided for disconnecting the input coupling electrodes of the neuron MOS inverter 701 from the output node of the neuron MOS inverter 702 and applying the ground potential to the input coupling electrodes of the neuron MOS inverter 701. A NAND gate 712 is provided for biasing the output of the previous circuit, i.e., the input of the subsequent circuit to  $V_{DD}$  upon resetting, when neuron MOS logic



circuits are cascade connected. The NAND gate 712 is identical in purpose and function to the NAND gates 709, 710, 711. In this event, it goes without saying that no NAND gates such as 709 are required in an input section of the subsequent circuit.

[0059]

Input coupling electrodes 716, 717, 718, 719 have one half of coupling capacitances of other input coupling electrodes. These input coupling electrodes do not contribute at all to the operation of the neuron MOS logic circuit itself. They are provided to adjust a weighted average value of the potentials at all the input coupling electrodes to  $V_{DD}/2$  upon resetting. Specifically, upon resetting, all the input coupling electrodes 716, 717, 718, 719 transition to the ground potential. During the operation, an average potential of the input coupling electrodes 716, 717, and an average potential of the input coupling electrodes 718, 719 both transition to the logical threshold value  $V_{DD}/2$ , so that they do not affect at all the result of the operation. With the use of a node which is controlled to be set to the ground potential upon resetting and to  $V_{DD}/2$  during the operation, the input coupling electrodes 716, 717 and 718, 719 may be integrated respectively into one electrode having the same coupling capacitance as the other input coupling electrodes.

[0060]

In this example, for setting an average potential of the input coupling electrodes to  $V_{DD}/2$  upon resetting, the input coupling electrodes connected to the nodes 713, 714, 715,

corresponding to one half of the coupling capacitance, in all the input coupling electrodes capacitively coupled to the floating gates of the neuron MOS inverters, are set to  $V_{DD}$ , and the remaining half of the input coupling electrodes are set to the ground potential. However, this method is not always required. On the contrary, the input coupling electrodes connected to the nodes 713, 714, 715 may be set to the ground potential, and the remaining ones to  $V_{DD}$ . Alternatively, all the input coupling electrodes may be applied with  $V_{DD}/2$ .

[0061]

Fig. 8 shows the result of measurements of the input/output signal waveforms and internal signal waveforms of the circuit according to this example illustrated in Fig. 7.  $\Phi_{FP}$  shows the waveform of a potential at the floating gate of the neuron MOS inverter 702. It can be seen that in the first reset period, the potential at the floating gate is at 2.6 volts. It can be also seen that after the reset period, the potential at the floating gate varies about 2.6 volts corresponding to a change in the input signal, and the operation is being performed. Upon starting the second reset period, a substrate bias voltage  $V_{SUB}$  of the N-channel MOS transistor constituting the neuron MOS inverter is changed from 0 volt to -1 volt. With this manipulation, the inversion threshold value viewed from the floating gate of the neuron MOS inverter is forcedly changed from 2.6 volts to 3.1 volts. However, in the next reset period, the floating gate is reset with a new inversion threshold value of 3.1 volts, causing the potential on the floating gate to

shift and change about 3.1 volts. In other words, this indicates that a deviation of the inversion threshold value of the inverter is automatically removed. The output  $V_{OUT}$  of the circuit presents the result of a normal exclusive OR (XOR) operation with the three inputs  $V_A$ ,  $V_B$ ,  $V_C$  both after the first reset and after the second reset.

[0062]

The reset cycle ends when the control signal  $\phi_{FG}$  first falls and then  $\phi_R$  falls. While the two control signals  $\phi_{FG}$ ,  $\phi_R$  are used, one and the same control signal may be used instead, provided that a timing at which the floating gate switches 703, 704 are opened is delayed from the timing at which other switches are opened, in consideration of propagation delays due to wires and so on.

[0063]

While switching elements used in this example are N-channel MOS transistor, CMOS switch and NAND gates, appropriate switching elements are not limited to these. Any switching elements which perform a switching function may be used with a slight change in circuit connections which are not essential to the circuit operation of the present invention.

[0064]

While this example has been described for an exemplary neuron MOS logic circuit for operating a three-input XOR function, the present invention is not limited to the three-input XOR function but may be widely applied to entire neuron MOS logic circuits.

[0065]

(Sixth Example)

Fig. 9 illustrates a sixth example of the present invention. Reference numeral 901 designates a neuron MOS inverter, and 902, a switch for resetting a charge in a floating gate of the neuron MOS inverter 901. Reference numeral 903 designates a normal inverter connected to the output of the neuron MOS inverter 901. The output of the neuron MOS inverter 901 is logically inverted by the inverter 903, and then is connected to the floating gate of itself through a switch 904. Input coupling electrodes of the neuron MOS inverter 901 are continuous to a circuit block corresponding to a reset mechanism. For example, they may be connected to a switching element as in the first example (Fig. 1) or to the output of a partial neuron MOS circuit as in the third example (Fig. 4). Such circuits previous to the neuron MOS inverter 901 are not essential to the description of this example, and therefore are omitted.

[0066]

A remaining charge in the floating gate in the circuit illustrated in this example is reset, as is the case in the second example, using, as an example, a technique of biasing the floating gate to the ground potential upon resetting. The switch 902 is turned on and the switch 904 is turned off upon resetting. While the circuit is performing a logic operation after a reset period, switches 902, 904 are both turned off. The operation up to this time is identical to that in the second

example.

[0067]

After the operation is completed and the output  $V_{OUT}$  of the circuit is established, the switch 904 is turned on to feed the output of the circuit, i.e., a logically inverted version of the output of the neuron MOS inverter 901 itself back to the floating gate of the neuron MOS inverter 901. If a potential at the floating gate of the neuron MOS inverter 901 is higher than an inversion threshold value  $V_{INV}$  of the inverter, viewed from the floating gate at a time before the switch 904 is turned on, the output of the neuron MOS inverter 901 is "0", and the output of the circuit, inverted by the inverter 903, is "1", i.e., the potential of  $V_{DD}$ . By turning the switch 904 on, this potential  $V_{DD}$  is applied to the floating gate of the neuron MOS inverter 901. The potential at the floating gate of the neuron MOS inverter 901 is originally higher than  $V_{INV}$ , and this potential is increased and eventually reaches  $V_{DD}$ . On the other hand, if the potential at the floating gate of the neuron MOS inverter 901 is lower than  $V_{INV}$  at a time before the switch 904 is turned on, the ground potential is applied to the floating gate of the neuron MOS inverter 901 by turning the switch 904 on. Once the floating gate of the neuron MOS inverter is applied with  $V_{DD}$  or the ground potential at a low impedance by turning the switch 904 on, a loop comprised of the neuron MOS inverter 901, the normal inverter 903, and the switch 904 can stably hold the value. In other words, when the switch 904 is turned on to form the feedback loop, the feedback loop can maintain

the output state at the time the loop is formed, however, the potentials at the input coupling electrodes of the neuron MOS inverter vary subsequent to the formation of the feedback loop. In the neuron MOS circuit, a latch function can be realized for holding a logic state at a certain time. The held state can be reset by the same technique as the normal technique for resetting a remaining charge in the floating gate.

[0068]

In the neuron MOS logic circuit, since a multi-value signal is handled by the floating gate of the neuron MOS transistor, the logic amplitude is reduced so that the potential on the floating gate is always biased to the vicinity of a transition region of the inverter. As a result, a penetration current always flows to increase power consumed by the circuit. With the use of the technique shown in this example, the potential at the floating gate remains at  $V_{DD}$  or the ground potential after the floating gate is fed back, so that no penetration current basically flows. This is therefore effective in reducing power consumption.

[0069]

While this example has introduced a reset technique which biases both the input coupling electrodes and the floating gate of the neuron MOS to the ground potential, it goes without saying that a variety of other techniques are contemplated, such as a technique of resetting a remaining charge in the floating gate using the  $V_{DD}$  potential. While the normal inverter 903 is used as a circuit for logically inverting the output of the

neuron MOS inverter 901, it goes without saying that another element, for example, an NAND or NOR gate may be used instead. Further, while the output of the normal inverter 903 is delivered as the output of the circuit, it goes without saying that the output of the neuron MOS inverter 901 is delivered as the output of the circuit.

[0070]

[Effect of the Invention]

According to the invention set forth in claim 1, in an integrated circuit using neuron MOS transistors, it is possible to effectively reset a charge remaining in a floating gate during the manufacturing of the device, and a charge injected into the floating gate associated with the operation of the device, to prevent malfunction of the circuit resulting from the charge in the floating gate, and therefore to improve the reliability of the neuron MOS integrated circuit. Further, with an improved accuracy of a multi-value operation using the floating gate and an increased noise margin, more functional operations can be performed.

[0071]

According to the invention set forth in claim 2, an improved reliability and an increased functions can be realized, particularly, in a neuron MOS logic circuit.

[0072]

According to the invention set forth in claim 3, an improved reliability and an increased functions can be realized, particularly, in an analog circuit using neuron MOS

transistors.

[0073]

According to the invention set forth in claim 4, an improved reliability and an increased functions can be realized, particularly, in a neuron MOS logic circuit. In addition, a simplified circuit can also be realized in some circuits.

[0074]

According to the invention set forth in claim 5, an improved reliability and an increased functions can be realized, particularly, in a neuron MOS logic circuit. For example, if an output of a certain logic circuit A is connected to a floating gate of a neuron MOS transistor included in a neuron MOS logic circuit B through a switch, operational functions of the neuron MOS logic circuit B can be switched based on the result of an operation performed by the logic circuit A, thereby making it possible to realize an integrated circuit having a higher functionality.

[0075]

According to the invention set forth in claim 6, an improved reliability and an increased functions can be realized, particularly, in a neuron MOS logic circuit. In addition, a feedback loop formed within the circuit enables a variety of functions to be performed.

[0076]

According to the invention set forth in claim 7, variations in threshold values possessed by individual transistors can be removed, particularly, in a neuron MOS logic circuit, thereby



making it possible to significantly improve the accuracy of operation, reliability and functions.

[0077]

According to the invention set forth in claim 8, an improved reliability and an increased functions can be realized, particularly, in a neuron MOS logic circuit. Moreover, it is possible to provide a latch circuit for logically holding input data, the result of an operation, and so on.

[Brief Description of the Drawings]

[Fig. 1]

A circuit diagram illustrating the general configuration of a first example according to the present invention.

[Fig. 2]

A circuit diagram illustrating the general configuration of the circuit which uses a PN diode as a switching element.

[Fig. 3]

A circuit diagram illustrating the general configuration of a second example according to the present invention.

[Fig. 4]

A circuit diagram illustrating the general configuration of a third example according to the present invention.

[Fig. 5]

Waveform charts showing the result of measurements of input/output signals and internal signals of the circuit according to the third example of the present invention.

[Fig. 6]

A circuit diagram illustrating the general configuration

of a fourth example according to the present invention.

[Fig. 7]

A circuit diagram illustrating the general configuration of a fifth example according to the present invention.

[Fig. 8]

Waveform charts showing the result of measurements of input/output signals and internal signals of the circuit according to the fifth example of the present invention.

[Fig. 9]

A circuit diagram illustrating the general configuration of a sixth example according to the present invention.

[Description of Reference Numerals]

101 P-Channel Neuron MOS Transistor

102 N-Channel Neuron MOS Transistor

103 Floating Gate

104, 105, 106 Input Coupling Electrodes

107, 108, 109, 110 Switches

111 Output

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161942

(43) 公開日 平成7年(1995)6月23日

(51) IntCl <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1	7210-4M		
G 0 6 F 15/18	5 2 0 A	9071-5L		
H 0 1 L 21/8247				
29/788				

H 0 1 L 29/ 78 3 7 1

審査請求 未請求 請求項の数8 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平5-302918

(22) 出願日 平成5年(1993)12月2日

(71) 出願人 591022117

柴田 直

宮城県仙台市太白区日本平5番2号

(71) 出願人 000205041

大見 忠弘

宮城県仙台市青葉区米ヶ袋2-1-17-301

(72) 発明者 小谷 光司

宮城県仙台市青葉区荒巻字青葉(無番地)

東北大学工学部電子工学科内

(72) 発明者 柴田 直

宮城県仙台市太白区日本平5番2号

(74) 代理人 弁理士 福森 久夫

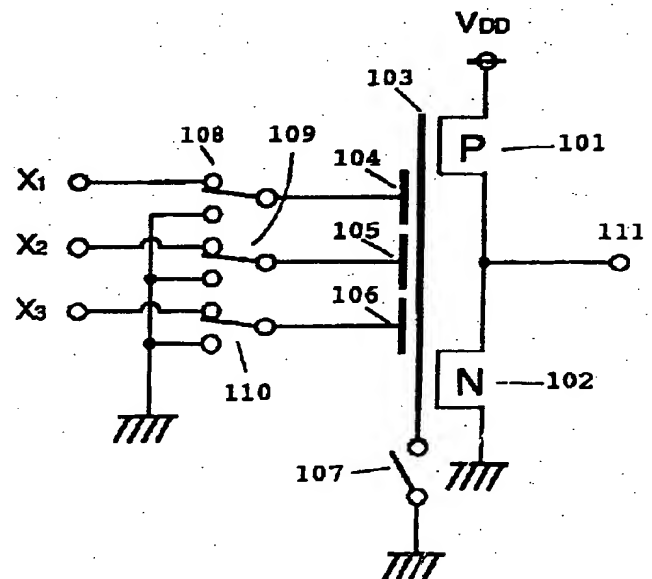
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】 (修正有)

【目的】 ニューロンMOSトランジスタのフローティングゲートにスイッチを付加し、フローティングゲートに残留している、あるいは注入された電荷を、スイッチを介して速やかに逃がすことにより、ニューロンMOSトランジスタの信頼性を向上させ、同時に多入力ニューロンMOSを使用可能とし、このニューロンMOSトランジスタを用いた高機能な半導体集積回路。

【構成】 基板体上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域を有し、ソース及びドレイン領域を隔てる領域に絶縁膜を介して設けられたフローティングゲートを有し、フローティングゲートと絶縁膜を介して容量結合する複数の入力結合電極を有するニューロンMOSトランジスタを1個以上有し、ニューロンMOSトランジスタにおいて、フローティングゲートが、1個以上のスイッチ素子と接続される。



## 【特許請求の範囲】

【請求項1】 基体上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域を有し、前記ソース及びドレイン領域を隔てる領域に絶縁膜を介して設けられたフローティングゲートを有し、前記フローティングゲートと絶縁膜を介して容量結合する複数の入力結合電極を有するニューロンMOSトランジスタを1個以上有し、前記ニューロンMOSトランジスタにおいて、前記フローティングゲートが、1個以上のスイッチ素子を介して所定の信号ラインに接続されており、前記ニューロンMOSトランジスタの複数の入力結合電極に第1の信号の組を入力するとともに前記スイッチ素子を導通させた後、前記スイッチ素子を遮断することにより前記ニューロンMOSトランジスタのフローティングゲートを電氣的にフローティング状態にし、その後、前記ニューロンMOSトランジスタの複数の入力結合電極に第2の信号の組を入力する事により演算を行う様に制御された事を特徴とする半導体集積回路。

【請求項2】 前記ニューロンMOSトランジスタがインバータ回路を構成している事を特徴とする請求項1に記載の半導体集積回路。

【請求項3】 前記ニューロンMOSトランジスタがソースフォロア回路を構成している事を特徴とする請求項1に記載の半導体集積回路。

【請求項4】 前記所定の信号ラインが、抵抗素子による分圧回路の節点に接続されていることを特徴とする請求項1ないし3のいずれか1項に記載の半導体集積回路。

【請求項5】 前記所定の信号ラインが、論理回路の出力端子に接続されていることを特徴とする請求項1ないし3のいずれか1項に記載の半導体集積回路。

【請求項6】 前記論理回路の出力が、前記ニューロンMOSトランジスタ自身により出力の論理値が決定される論理回路の出力であることを特徴とする請求項5に記載の半導体集積回路。

【請求項7】 前記ニューロンMOSトランジスタ自身により出力の論理値が決定される論理回路が、前記ニューロンMOSトランジスタ自身が構成するインバータ回路であることを特徴とする請求項6に記載の半導体集積回路。

【請求項8】 前記ニューロンMOSトランジスタ自身により出力の論理値が決定される論理回路が、前記ニューロンMOSトランジスタ自身が構成するインバータ回路の出力を反転させた信号を出力するように構成された論理回路であることを特徴とする請求項6に記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路に係

る。より詳細には、ニューロンMOSトランジスタを用いて構成された半導体集積回路に関する。

## 【0002】

【従来の技術】 半導体集積回路において、素子の微細化による回路の高集積化が進んでいる。素子を微細化すれば、素子の動作速度が向上するだけでなく、1つのチップに搭載される素子の数が増えるため、チップあたりの機能が増大する。マイクロプロセッサLSIがよい例で、現在最先端のマイクロプロセッサチップでは、素子寸法が0.5ミクロン程度、チップあたりの素子数は数百万個にも上る。従来マイクロプロセッサチップとは別のチップに分けられていたキャッシュメモリや浮動小数点演算ユニット等は、素子の微細化により回路コンポーネント自体も小さくなったことから、1つのマイクロプロセッサチップ内に同時に搭載できるようになり、コンピュータの性能向上に大きな役割を果たした。

【0003】 しかし、素子の微細化・高集積化に伴い、種々の問題点が顕在化してきた。微細な素子に一定の電源電圧が印加されることから、素子内部に高電界が発生し、加速されたキャリアがホットキャリアとなりゲート酸化膜に注入され、素子特性が劣化してしまうホットキャリアの問題がその1つである。また、数百万個に上る素子と素子の間を接続しなければならない配線を、如何にレイアウトし、形成するかといった問題も新たに生じている。これらの問題により、今後素子のさらなる微細化は非常に難しい段階に来ている。したがって、LSIチップの機能向上も今後あまり望めないことになる。

【0004】 この問題を解決したのが、ニューロンMOSトランジスタおよびニューロンMOSトランジスタを用いた論理回路の発明である（発明者：柴田直、大見忠弘、特開平3-6679号公報および特願平3-83152号）。ニューロンMOSトランジスタは、フローティングゲートとそのフローティングゲートに容量的に結合する複数の入力結合電極を持ち、フローティングゲートレベルで複数の入力結合電極の入力信号の加重平均を演算し、その結果に基づきトランジスタのオン・オフが制御されるという、生体の神経細胞と類似の機能を持った高機能な素子である。従来のトランジスタが、2端子間に流れる電流のオン・オフを第3の端子で制御することから3端子デバイスと呼ばれるのに対し、ニューロンMOSトランジスタは、2端子間に流れる電流のオン・オフを制御する第3の端子の、その制御の仕方を制御することができる第4の端子を複数持った4端子デバイスであるといえる。素子自体の機能が高いため、論理回路に用いれば、ある論理機能を実現するのに必要な素子や配線の数、従来のCMOS論理回路の場合に比べて激減した。また、単に1つの入力か0か1かを判断してオン・オフを制御するだけの従来のトランジスタを用いた回路が不得手とする柔軟な信号処理が簡単に実現でき、柔らかい論理回路、実時間ルール可変型マッチング

回路、ウィナーテイクオール回路、連想メモリ等の高機能回路が簡単に構成できるようになった。また、膨大な量のデータの中からその特徴を抽出する機能も簡単に実現可能であり、この機能を用いれば、文字認識や画像の動きベクトルの検出等の画像情報処理分野においても、回路の簡単化・高速化が期待できる。この様に、ニューロンMOSトランジスタは、超高速・超高機能LSI実現に向けて、まったく新しい回路技術を生む可能性を秘めた新デバイスであるといえる。

【0005】ところが、ニューロンMOSトランジスタはフローティングゲートを有しているため、信頼性の面で、以下のような大きな問題点を持っている。ニューロンMOSトランジスタは、フローティングゲートレベルで多値の電圧信号を扱っている。つまり、接地電位(GND)から電源電圧( $V_{DD}$ )の間の電位差を、複数の論理レベルに分割して割り当て、しきい動作を行っている。電源電圧を一定と考えれば、ある論理レベルと近接する論理レベルとの間の電圧差、つまり論理振幅は、多値化するレベルの数が大きくなればなるほど小さくなってしまい、ノイズマージンが減少してしまう。したがって、ニューロンMOSトランジスタを用いた回路においては、トランジスタのしきい値の誤差は、回路の誤動作を防止するため、バイナリ論理回路に比べて十分小さく抑えなければならない。

【0006】しかしながら、フローティングゲート中に存在する電荷量のばらつきにより、むしろニューロンMOSトランジスタのしきい値の誤差の方が、通常のMOSトランジスタのしきい値の誤差よりも大きい。表1は、製造直後のある1枚のウェハ上にある9個のニューロンMOSトランジスタの、入力結合電極から見たしきい値を示したものである。-7.95Vから+1.02Vまで実に9Vの幅でばらついている。通常のMOSトランジスタのしきい値ばらつきが0.2V程度なので45倍程度のばらつきである。ニューロンMOSトランジスタのフローティングゲートに一旦注入された電荷は、非常に高い絶縁抵抗のため自然に消滅することなく、そのまま残留し、しきい値に直接影響を与える。ニューロンMOSの大きなしきい値ばらつきは、反応性イオンエッチングやスパッタ等のデバイス製造プロセス時のウェハ面内不均一に由来し、デバイス毎で不均一な電荷がフローティングゲートに残留したためである。

【0007】

【表1】

トランジスタ番号	しきい値 (V)
#1	1.017
#2	0.259
#3	0.081
#4	-1.962
#5	-3.193
#6	-3.716
#7	-4.602
#8	-7.209
#9	-7.949

【0008】しかしながら、しきい値のデバイス製造直後の初期ばらつきは、紫外線(UV)照射等の手法により、ある程度キャンセルすることができる。表2は、表1に示したデバイス製造プロセス直後の、ばらばらのしきい値を持ったデバイスに、UV光を1000秒照射した後のしきい値を示している。ばらつきは、0.17Vに減少している。しかし、これとて、多値を扱うニューロンMOSトランジスタにとっては十分ではなく、ニューロンMOSトランジスタの扱える多値レベルのレベル数を著しく限定してしまう。

【0009】

【表2】

トランジスタ番号	しきい値 (V)
#1	2.205
#2	2.118
#3	2.056
#4	2.219
#5	2.150
#6	2.078
#7	2.225
#8	2.164
#9	2.058

【0010】さらに、ニューロンMOSトランジスタにとって致命的なのは、デバイスが動作すると同時に起こるしきい値の経時変化である。それは、主に、フローティングゲートへのホットキャリア注入によって起こる。通常のMOSトランジスタでは、ゲート酸化膜に注入されたホットキャリアは、そのほとんどが酸化膜を素通りしてゲート電極に抜けてしまうため、酸化膜中に捕獲されてしきい値を変化させる電荷の量は、注入された電荷

量のほんの一部である。ところが、ニューロンMOSでは、注入された電荷のほとんどがフローティングゲートに残留するため、ごく少量の注入電荷でも、ニューロンMOSトランジスタのしきい値を著しく変化させてしまう。ニューロンMOSトランジスタは、通常のMOSトランジスタに比べて許されるしきい値の誤差が小さいだけでなく、ホットキャリア注入に対するしきい値の変化量が著しく大きいのである。

【0011】ニューロンMOSトランジスタと同様にフローティングゲートを有するフローティングゲートタイプEPROMは、0か1か、つまり2値を判断すれば良いデバイスであり、許されるしきい値の経時変化量も大きい(数V程度)。したがって、数年のデータ保持特性を保証することができ、実用化できたのである。これに対し、ニューロンMOSトランジスタは、前述のようにフローティングゲートで多値を扱うデバイスであり、許されるしきい値の変化量は小さく、少量の電荷注入によっても誤動作を招いてしまう。

【0012】以上のように、ニューロンMOSトランジスタは、顕著な高機能性をもちながら、信頼性が著しく乏しいという大きな欠点を持っていた。また、高機能性を発揮するためには、ニューロンMOSトランジスタの入力数を増やさなければならないが、入力数を増やせば論理振幅は減少し、信頼性が更に低下してしまうため、入力数を増やすことも容易ではなかった。

【0013】

【発明が解決しようとする課題】そこで本発明は、ニューロンMOSトランジスタのフローティングゲートにスイッチを付加し、フローティングゲートに残留している、あるいは注入された電荷を、スイッチを介して速やかに逃がすことにより、ニューロンMOSトランジスタの信頼性を向上させ、同時に多入力ニューロンMOSを使用可能とし、このニューロンMOSトランジスタを用いた高機能な半導体集積回路を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明の半導体集積回路は、基体上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域を有し、前記ソース及びドレイン領域を隔てる領域に絶縁膜を介して設けられたフローティングゲートを有し、前記フローティングゲートと絶縁膜を介して容量結合する複数の入力結合電極を有するニューロンMOSトランジスタを1個以上有し、前記ニューロンMOSトランジスタにおいて、前記フローティングゲートが、1個以上のスイッチ素子を介して所定の信号ラインに接続されており、前記ニューロンMOSトランジスタの複数の入力結合電極に第1の信号の組を入力するとともに前記スイッチ素子を導通させた後、前記スイッチ素子を遮断することにより前記ニューロンMOSトランジスタのフローテ

ィングゲートを電氣的にフローティング状態にし、その後、前記ニューロンMOSトランジスタの複数の入力結合電極に第2の信号の組を入力する事により演算を行う様に制御された事を特徴とする。

【0015】

【作用】本発明では、ニューロンMOSトランジスタのフローティングゲートにスイッチを付加している。このスイッチの一端は所定の信号ラインにつながれており、このスイッチを適宜制御することにより、フローティングゲートに存在する余剰な電荷を除去することができる。したがって、ニューロンMOSトランジスタのしきい値の経時変化を防止することができ、ニューロンMOS集積回路の信頼性を向上することができる。また、しきい値変動を小さく抑えることができることから、ニューロンMOSトランジスタの最大許容入力数を増大させることができ、より高機能なニューロンMOS集積回路の実現が可能となる。

【0016】

【実施例】以下に実施例を上げ本発明を詳細に説明するが、本発明がこれら実施例に限定されるものではないことはいうまでもない。

【0017】(第1の実施例)図1は、本発明の第1の実施例を示す回路の構成図である。この回路は、 $X_1$ 、 $X_2$ 、 $X_3$ の3つのバイナリ信号入力に対し、多数決論理を演算する回路となっている。つまり、3つの入力のうち2個以上が1であれば0を、入力の内の1の数が1個以下であれば1を出力する回路である。図において、101はPチャネルニューロンMOSトランジスタ、102はNチャネルニューロンMOSトランジスタである。これらのニューロンMOSトランジスタ101、102は、共通のフローティングゲート103、およびフローティングゲート103に容量結合する3個の入力結合電極104、105、106により、3入力のニューロンMOSインバータを構成している。入力結合電極104、105、106のフローティングゲートとの結合容量は等しく $C_c$ であるとする。107は、フローティングゲート103と接地電位の電源ラインの間にあり、第1の制御信号が1のときに導通するスイッチである。108、109、110は、それぞれ入力結合電極104、105、106と入力 $X_1$ 、 $X_2$ 、 $X_3$ の間にあるスイッチで、第2の制御信号で制御され、第2の制御信号が0のときフローティングゲートと入力が、第2の制御信号が1のときフローティングゲートと接地電位が接続されるように構成されている。

【0018】一般に、ニューロンMOSトランジスタのフローティングゲートの電位 $\phi_f$ は、次式で表わされる。

【0019】

【数1】

$$\Phi_F = \frac{\sum_{i=1}^n C_i V_i}{C_{TOT}} + \frac{Q_F}{C_{TOT}} \quad (1)$$

ここで、 $C_i$ は*i*番目の入力結合電極の結合容量、 $V_i$ は  
*i*番目の入力結合電極の電位、 $Q_F$ は、フローティング  
ゲートに存在する電荷量である。 $C_{TOT}$ は、フローティ \*

\*ングゲートに関する全容量であり、次式で表わされる。  
【0020】  
【数2】

$$C_{TOT} = C_0 + \sum_{i=1}^n C_i \quad (2)$$

ここで、 $C_0$ は、トランジスタのゲート容量や、フロー  
ティングゲートと基板との間の容量等の、フローティ  
ングゲートに関する全寄生容量である。

10※03の電位 $\Phi_{103}$ は、  
【0022】  
【数3】

【0021】図1の回路例中のフローティングゲート1※

$$\Phi_{103} = \frac{C_c V_{104} + C_c V_{105} + C_c V_{106} + Q_{103}}{C_{TOT}} \quad (3)$$

と表わせる。ここで、 $V_{104}$ 、 $V_{105}$ 、 $V_{106}$ はそれぞれ  
入力結合電極104、105、106の電位、 $Q_{103}$   
は、フローティングゲート103に存在する電荷であ  
る。いま、フローティングゲート103に関する全寄生★20

★容量 $C_0$ は、結合容量 $C_c$ に比べて十分小さく、無視でき  
ると仮定すると、フローティングゲート電位 $\Phi_{103}$ は、  
【0023】  
【数4】

$$\Phi_{103} = \frac{V_{104} + V_{105} + V_{106}}{3} + \frac{Q_{103}}{3C_c} \quad (4)$$

となる。右辺の第1項は、3つの入力の平均値であり、  
第2項は、オフセット値である。いま、フローティ  
ングゲート電荷 $Q_{103}$ が0であると仮定すると、フローティ  
ングゲート電位 $\Phi_{103}$ は、3つの入力すべてが0のとき  
0、1つだけ1のとき $V_{DD}/3$ 、2つ1で1つだけ0の  
とき $2V_{DD}/3$ 、3つとも1のとき $V_{DD}$ となる。ただ  
し、論理状態0を0V、論理状態1を $V_{DD}$ と対応させて  
ある。PチャネルMOSトランジスタ101およびNチャ  
ネルMOSトランジスタ102が構成するCMOSイン  
バータのフローティングゲート103からみた反転し  
き値が $V_{DD}/2$ に設定されているとすると、CMOS  
インバータの出力、つまりこの多数決関数演算回路の出  
力111は、3つの入力の中で1の数が0個あるいは1☆

☆個のとき1、つまり電位は $V_{DD}$ 、1の数が2個以上のと  
きにはCMOSインバータが反転して0を出力する。こ  
れはまさに多数決関数の演算である。

【0024】以上の説明においては、フローティ  
ングゲート電荷 $Q_{103}$ は0であるとして無視したが、実際  
は、ある0でない値を持ち、かつMOSトランジスタ動  
作中におけるホットキャリア注入等により、経時変化す  
る。いま、フローティングゲート電荷 $Q_{103}$ が経時変化  
して $C_c V_{DD}$ という値になった場合を仮定する。フロ  
ーティングゲート103の電位 $\Phi_{103}$ は、

【0025】

【数5】

$$\Phi_{103} = \frac{V_{104} + V_{105} + V_{106}}{3} + \frac{V_{DD}}{3C_c} \quad (5)$$

となる。つまり、フローティングゲートの電位が $V_{DD}/3$   
だけオフセットされることになる。したがって、フロ  
ーティングゲートの電位 $\Phi_{103}$ は、3つの入力のなかで  
論理1の数、つまり電圧 $V_{104}$ 、 $V_{105}$ 、 $V_{106}$ の中で $V_{DD}$   
の数が0のとき $V_{DD}/3$ 、1個以上の場合は $2V_{DD}/3$   
以上になってしまう。したがって、3つの入力のなか  
で1の数が0個の時にのみ回路は1を出力し、1の数が  
1個以上のときは0を出力してしまう。これは、正常な  
多数決論理演算ではない。

【0026】このように、フローティングゲートに余剰  
な電荷が蓄積されると、回路が誤動作してしまう。図1

40の回路中のスイッチ107は、この余剰な電荷を除去す  
るために設けてある。動作は以下のとおりである。スイ  
ッチ107をオンすることにより、フローティングゲ  
ート103は強制的に接地電位にバイアスされる。同時に  
入力結合電極104、105、106に、第1の信号の  
組として接地電位を入力する。このとき、フローティ  
ングゲートと入力結合電極間の結合容量には電圧が印加さ  
れず、結合容量の電極に電荷は発生しない。フローティ  
ングゲート103に関する寄生容量 $C_0$ は、結合容量 $C_c$   
に比べて十分小さく、無視できると仮定すると、フロ  
ーティングゲート103内に電荷は0になる。この状態

で、スイッチ107をオフにすれば、フローティングゲート103内の電荷のリセットが完了する。スイッチ108、109、110は、それぞれ、入力結合電極104、105、106を強制的に接地電位にするためのものである。その後、スイッチ108、109、110を切り替えて、入力結合電極に第2の信号の組として回路の入力 $X_1$ 、 $X_2$ 、 $X_3$ を印加することにより、フローティングゲート余剰電荷の無い状態で正確な演算が行われる。

【0027】以上の様に、フローティングゲートにスイッチを付加して構成されたニューロンMOS回路は、デバイス製造プロセス直後のフローティングゲート残留電荷によるニューロンMOSTランジスタのしきい値のばらつき、およびそれによる回路の誤動作を防止することができる。さらに、回路動作中においても、適宜、フローティングゲートスイッチによるフローティングゲート電荷のリセット動作を実施すれば、デバイス動作中に発生するホットキャリアのフローティングゲートへの注入によるしきい値の経時変化、および結果として生ずる回路誤動作の問題も完全に解決することができる。ところで、フローティングゲートスイッチの付加されていない、完全にフローティングなフローティングゲートは、非常に高い絶縁抵抗を持っており、デバイス動作時に、ホットキャリア注入以外の機構、例えばリーク電流等によってフローティングゲート電荷が増減することはありえない。ところが、フローティングゲートスイッチを付加することにより、ホットキャリア注入よりも、むしろ、フローティングゲートスイッチを通してのリーク電流により、フローティングゲート電荷が増減することになる。しかしながら、MOSTランジスタを用いた一般的なスイッチのリーク電流は、フェムト( $10^{-15}$ )アンペアオーダーであり、結合容量として、DRAMにおける一般的な蓄積容量である数10フェムトファラッドの容量を用いると仮定すれば、ミリ秒程度の電荷保持特性は十分確保できる。したがって、フローティングゲートスイッチによるフローティングゲート電荷リセット動作は、ミリ秒程度の周期で実施されれば十分である。DRAMのリフレッシュサイクルの様に、ミリ秒程度の時間間隔おきに、リセットサイクルを設け、リセットサイクル以外の時間は、回路をフリー・ランさせる制御方式が最も一般的である。ただし、多入力ニューロンMOSTランジスタの場合のように、フローティングゲート電位による演算に精度が必要な場合には、リセットサイクルの周期を短くしたり、あるいは演算を行う直前に毎回リセット動作を実施する、といった制御方式を用いてもよい。即ち、リセットの周期に関しては、もっぱら使用目的等で決められるべき事項であり、いかなる周期で行ってもよいことは言うまでもない。

【0028】ところで、図1の回路において、フローティングゲート内に電荷を残留させないためには、スイッ

チ107が完全に解放され、フローティングゲートがフローティングになった後に、スイッチ108~110が切り替わらなければならない。先にスイッチ108、あるいは109、あるいは110が切り替わり、入力結合電極104、あるいは105、あるいは106に入力信号が印加されると、入力結合容量に電圧が印加され、スイッチ107を通して電荷がフローティングゲートに流入(流出)してしまうからである。このために、スイッチ107と、スイッチ108、109、110はタイミングの異なる制御信号で駆動するのが良い。しかし、配線の伝搬遅延等を考慮し、スイッチ107の解放されるタイミングがスイッチ108、109、110よりも遅れるように構成されていれば同じ制御信号を用いても構わない。また、入力信号が、リセット動作時に、必ず一定電位、たとえば接地電位、になるように制御されていれば、スイッチ108、109、110は、なくても構わない。スイッチ107でフローティングゲート103と接続される接点は、電源と低インピーダンスで接続されている接点であればよく、必ずしも接地電位である必要はない。たとえば、フローティングゲート電荷を0にリセットするのは、リセット時に、入力結合電極104、105、106を $V_{DD}$ に、フローティングゲート103もスイッチ107を介して $V_{DD}$ に設定することによっても可能である。この場合、スイッチ107でフローティングゲート103と接続される接点は $V_{DD}$ ラインとなる。一般に、フローティングゲート電荷を0にリセットするのは、リセット時に、入力結合電極と、フローティングゲートを低インピーダンスの経路で同電位にしてやればよく、その電位そのものはいくらであっても構わない。リセット動作を迅速に行うためには低インピーダンスで所定の電源、もしくは所定の信号ラインに接続されていることが望ましいが、目的に応じ、例えば高インピーダンスの素子を介して接続してもよい。

【0029】さらに、リセット時に、入力結合電極とフローティングゲートを異なる電位に設定して実行するリセット手法もある。電位差があるので、リセット後には、ある量の電荷がフローティングゲートに残留することになる。しかし、リセット時の入力結合電極とフローティングゲート電極の電位差が毎回同じであれば、毎回まったく同じ量の電荷がフローティングゲートに残留することになり、ホットキャリア注入等によるフローティングゲート電荷の経時変化を補正することができる。つまり、しきい値の経時変化をリセットするためには、毎回同じ電位でリセットすればよいのである。また、電位差を与えたリセットにより、フローティングゲート電位に意図的にオフセットを与えることも可能である。たとえば、入力結合電極104、105、106は接地電位、フローティングゲート103は $V_{DD}/3$ に設定してリセットを行うと、フローティングゲートは $V_{DD}/3$ のオフセットを持つことになる。これは、 $C_c V_{DD}$ の量の



フローティングゲート電荷が残留することと同じであり、前述の例で示したとおり、3つの入力の中で1の数が0個の時にのみ回路は1を出力し、1の数が1個以上のときは0を出力する。また、逆に、フローティングゲート103は接地電位に、入力結合電極104、105、106はすべて $V_{DD}/3$ にバイアスしてリセットを行うと、3つの入力の中で1の数が2個以下の時に回路は1を出力し、すべての入力が1のときに0を出力する回路となる。これらは、多数決関数ではないが、もともと、そういう関数を実現したいのであれば、有効な手法である。なお、 $V_{DD}/3$ 等の中間電位は、 $V_{DD}/3$ の電圧を出力する電源から直接供給しても良いし、 $V_{DD}$ と接地電位の間に接続して用いる抵抗分圧回路等を用いて生成してもよい。

【0030】ここで示している例においては、複数の入力結合電極に全て同じ電圧を与えてリセットを行っているが、異なる電圧にしても構わない。各入力結合電極の電位を、結合容量で重み付けを行って平均した値のみが重要なのである。例えば、前述の、等しい結合容量を持った3つの入力結合ゲート全てに $V_{DD}/3$ の電位を与えて行うリセット動作については、同等な事が、入力結合電極のうち1個に $V_{DD}$ 、残り2個に接地電位を印加することによっても実施できる。つまり、平均値が所定の値になっていれば良いのである。

【0031】フローティングゲートに接続されるスイッチ素子としては、通常、単体トランジスタやCMOSスイッチ等を用いる。しかし、ダイオードを用いる場合もある。たとえば、図2の様にPNダイオード201を用いれば、フローティングゲート電荷の、負の方向の経時変化（正電荷の減少、あるいは、負の電荷の増加）をリセットすることができる。図2の回路では、入力結合電極202、203、204の電位を接地電位にすることによりリセット動作が行われる。リセット時には、フローティングゲート205の電位は、PNダイオードの順方向のオンとオフの境界の電位に自動的にバイアスされる。つまり、ダイオードのターンオン電圧を $V_{ON}$ とすると、 $-V_{ON}$ の電位になる。次いで、入力結合電極202、203、204に接地電位以外の正の電圧が印加されて、回路が演算動作を行っている時には、フローティングゲート205の電位は、 $-V_{ON}$ より大きく、ダイオード201はオフ状態であり（スイッチがオフ）、フローティングゲート205は、文字通り電氣的にフローティング状態となる。もし、この演算動作時に、フローティングゲート205に負の電荷が注入されたと仮定すると、フローティングゲート電位は、実効的に負の方向にシフトする。ところが、次のリセットサイクル時には、入力結合ゲートがすべて接地電位になるとともに、フローティングゲート電位は $-V_{ON}$ よりも、より負の電位に

変化しようとするが、たちまちPNダイオード201がターンオンして（スイッチがオン）、フローティングゲート電位を $-V_{ON}$ にクリップしてしまう。この効果により、演算中にフローティングゲートに注入された負の電荷をリセットすることができる。同様に $V_{DD}$ とフローティングゲート間にPNダイオードを接続することにより、フローティングゲート電荷の、正の方向の経時変化（正電荷の増加、あるいは、負の電荷の減少）をリセットすることができる。

【0032】本実施例においては、ニューロンMOSインバータ回路を例に上げたが、ここで述べたことは、ニューロンMOSトランジスタ単体や、ニューロンMOSトランジスタを用いた回路に一般的に適用できることはいうまでもない。

【0033】（第2の実施例）図3は、本発明の第2の実施例を示したものである。この回路は、 $X_0$ 、 $X_1$ 、 $X_2$ の3ビットデジタル信号入力に対し、デジタル・アナログ信号変換したアナログ電圧信号を出力する回路である。図において301はディブリーション型PチャネルニューロンMOSトランジスタ、302はディブリーション型NチャネルニューロンMOSトランジスタである。これらのニューロンMOSトランジスタ301、302は、インバータ回路のニューロンMOSトランジスタとは $V_{DD}$ 、接地電極に対する位置が逆になっており、共通のフローティングゲート303、およびフローティングゲート303に容量結合する4個の入力結合電極304、305、306、307により、4入力のニューロンMOSソースフォロア回路を構成している。入力結合電極304、305、306、307のフローティングゲートとの結合容量比は、4:2:1:1である。入力結合電極304、305、306の結合容量比はバイナリウエイトとなっている。入力結合電極307は、フローティングゲート303の電位にオフセットを与えるためのものであり、常に接地電位となっている。その他の構成は、実施例1と同じであるので省略する。回路の制御に関しても実施例1と同じである。

【0034】フローティングゲート余剰電荷のリセットを行うために、まず入力結合電極304、305、306を接地電位にし、スイッチ308をオンにする。その後スイッチ308をオフにしてフローティングゲート303を電氣的にフローティングにする。スイッチ309、310、311を切り替えて入力結合ゲート304、305、306に3ビットデジタル信号 $X_2$ 、 $X_1$ 、 $X_0$ を印加すると、バイナリウエイトづけされた入力結合容量により、フローティングゲート303の電位 $\Phi_F$ は次式で表わされる電位になる。

【0035】

【数6】

$$\Phi_F = \frac{4X_2 + 2X_1 + X_0}{8}$$

(6)

ニューロンMOSトランジスタ301および302で構成するソースフォロア回路は、フローティングゲート303の電位とほぼ同じ電圧を出力することができるため、結果として式6で示される、デジタル・アナログ変換出力が得られる。

【0036】本実施例は、フローティングゲートにスイッチを付加することにより、フローティングゲート余剰電荷をリセットすることができる本発明が、実施例1に示したインバータ回路のみならず、広く一般に、ニューロンMOSトランジスタを用いた回路に適用可能であることを示す一例である。

【0037】本実施例においては、スイッチ308を介してフローティングゲートが接続されるのは接地電位であり、リセット時に入力結合ゲートに印加する電位も接\*

$$\Phi_F = \frac{4X_2' + 2X_1' + X_0'}{8} + \frac{4X_2 + 2X_1 + X_0}{8} \quad (7)$$

となる。これは、第2の信号の重み付き平均値から第1信号の重み付き平均値を減算した差の信号である。ソースフォロア構成となっている本回路においては、フローティングゲートの電位をそのまま出力することができるため、本回路は、2つの信号の差に相当するアナログ値を出力することができるのである。この機能を用いれば、アナログ値の加減算が自由に行えるため、画像処理等のデータ処理回路に有用である。

【0040】(第3の実施例) 図4は、本発明の第3の実施例を示すものである。本発明を、ニューロンMOSトランジスタを用いた論理回路(発明者: 柴田直、大見忠弘、特願平3-83152号)に適用した例である。この回路は、3つのバイナリ入力信号 $V_A$ 、 $V_B$ 、 $V_C$ に対して排他的論理和(XOR)演算を行う回路である。401、および402は、等しい結合容量の入力結合電極を5つ持ったニューロンMOSインバータである。ニューロンMOS論理回路においては、401をメインインバータ、402をブレインバータと呼んでいる。ニューロンMOSトランジスタを用いれば、あらゆる論理関数も、1個のメインインバータと複数のブレインバータを組み合わせて実現可能である。

【0041】403、404は、それぞれニューロンMOSインバータ401、402のフローティングゲート余剰電荷をリセットするためのスイッチ素子として用いているNチャネルMOSトランジスタである。これらのNチャネルMOSトランジスタスイッチは、制御信号 $\phi_{FG}$ により制御される。NチャネルMOSトランジスタ405およびPチャネルMOSトランジスタ406は、ニューロンMOSインバータ402の出力と、ニューロンMOSインバータ401の2つの入力結合電極をまとめ

\*地電位であるが、実施例1の場合と同じく、フローティングゲートリセットは、様々な電位を用いて実施することが可能であることは言うまでもない。

【0038】また、この回路は次のように用いてもよい。入力結合電極304、305、306に入力信号 $X_2$ 、 $X_1$ 、 $X_0$ を入力した状態で、スイッチ308をオンにしてフローティングゲート電荷をリセットした後、スイッチ308をオフにし、次いで入力結合電極304、305、306に、第2の入力信号 $X_2'$ 、 $X_1'$ 、 $X_0'$ を入力すると、フローティングゲート303の電位 $\Phi_F$ は、

【0039】

【数7】

た節点407の間の接続、遮断を行うCMOSスイッチを構成している。408は、節点407、つまりニューロンMOSインバータ401の2つの入力結合電極を接地電位電極に接続するためのNチャネルMOSトランジスタスイッチである。これらのスイッチは、制御信号 $\phi_R$ で制御される。409、410、411はともにNORゲートである。

【0042】この回路のフローティングゲート余剰電荷リセットは、ニューロンMOSインバータ401、402の全ての入力結合電極、フローティングゲートを接地電位にすることにより実施され、その後、フローティングゲートを電氣的にフローティングにし、入力結合電極に回路の入力信号を導入することにより演算が行われる。具体的にリセットサイクルは、制御信号 $\phi_{FG}$ 、 $\phi_R$ が0から1へ立ち上がることに始まり開始される。リセット時には、入力部のNORゲートは、入力信号 $V_A$ 、 $V_B$ 、 $V_C$ に関係なく0、つまり接地電位を出力する。したがって、ブレインバータ402、メインインバータ401の共通な入力となっている節点412、413、414は強制的に接地電位となる。ニューロンMOSブレインバータ402の他の2つの入力結合電極は、演算時においては一方は接地電位、他方は $V_{DD}$ にバイアスされなければならないが、リセット時には共に接地電位にバイアスされなければならない。したがって、演算時に $V_{DD}$ にバイアスされるべき入力結合電極には、制御信号 $\phi_R$ の反転信号が入力されている。以上で、リセット時にニューロンMOSインバータ402の入力結合電極は全て接地電位となる。ニューロンMOSインバータ402のフローティングゲートは、スイッチトランジスタ404により、制御信号 $\phi_{FG}$ が1の間、強制的に接地され

る。

【0043】このようにして、ニューロンMOSインバータ402のフローティングゲート電荷リセットが実行される。ニューロンMOSインバータ402のフローティングゲートが接地されるため、その出力は $V_{DD}$ となる。このままニューロンMOSインバータ401の入力結合電極に接続したのではニューロンMOSインバータ401のフローティングゲート電荷リセットが実行できない。したがって、リセット時にはトランジスタ405、406からなるCMOSスイッチにより、ニューロンMOSインバータ402の出力と、ニューロンMOSインバータ401の入力結合電極節点407の接続が解放される。さらに、トランジスタスイッチ408により、接点407は強制的に接地電位にバイアスされる。ニューロンMOSインバータ401のフローティングゲートもスイッチトランジスタ403により接地される。以上によりニューロンMOSインバータ401のフローティングゲート電荷のリセットが実施される。

【0044】図5は、本実施例の図4の回路の入出力信号波形および内部信号波形を測定した結果を示している。 $\phi_{FP}$ および $V_{OP}$ は、ニューロンMOSインバータ402のフローティングゲート電位波形、およびその出力波形である。同じく $\phi_{FN}$ および $V_{ON}$ は、ニューロンMOSインバータ401のフローティングゲート電位波形、およびその出力波形である。リセット周期においては、フローティングゲートの電位が接地電位になっていることがわかる。リセット周期が終われば、入力信号変化に対応してフローティングゲートの電位が変化し、出力も変化していることがわかる。回路の出力 $V_{OUT}$ は、3入力 $V_A$ 、 $V_B$ 、 $V_C$ に対して正常な排他的論理和(XOR)となっている。

【0045】リセットサイクルは、まず制御信号 $\phi_{FG}$ が立ち下がり、ついで $\phi_R$ が立ち下がることにより終了する。制御信号は、 $\phi_{FG}$ と $\phi_R$ の2種類用いているが、配線の伝搬遅延等を考慮し、フローティングゲートスイッチ403および404の解放されるタイミングが他のスイッチよりも遅れるように構成されていれば同じ制御信号を用いても構わない。

【0046】本実施例で用いたスイッチ素子は、NチャネルMOSTランジスタ、CMOSスイッチ、NORゲートであるが、これらに限定されるものではなく、スイッチ機能を果たすものであれば、本発明の回路動作にとって本質的ではない若干の回路接続変更により用いることが可能である。

【0047】複雑な論理回路を構成する場合、複数の論理回路をカスケード接続することがある。本実施例に示した様なニューロンMOS論理回路をカスケード接続する場合には、後段の回路において、入力部のNORゲート409、410、411等は、必要ない。なぜなら、本実施例に示される手法を適用したニューロンMOS論

理回路は、リセット時に必ず0、つまり接地電位を出力するからである。スイッチ403によりメインニューロンMOSインバータ401のフローティングゲートが接地され、出力は $V_{DD}$ となる。このメインインバータの出力は、通常CMOSインバータにより論理反転されて全体回路の出力となるため、全体回路の出力としては接地電位なのである。したがって、入力部のNORゲートは、従来の論理回路と、本発明を適用した本実施例に示されるニューロンMOS論理回路の接続部にのみ必要なのである。

【0048】ここでは、3入力のXOR関数を演算するニューロンMOS論理回路を例にとり、本発明の1つの実施例を説明したが、3入力のXOR関数に限定されるものではなく、ひろくニューロンMOS論理回路全体に適用できるものである。また、本実施例では、ニューロンMOSの入力結合電極およびフローティングゲートを共に接地電位にバイアスするリセット手法を取り上げたが、他に、 $V_{DD}$ 電位でリセットする手法等、種々のバリエーションがあることは言うまでもない。

【0049】(第4の実施例)図6は、本発明の第4の実施例を示す回路の構成図である。本発明の技術を適用し、一括変換型A/D変換器に用いられるコンパレータ(比較器)を構成したものである。ニューロンMOSインバータを用いているが、説明を簡単にするため、ニューロンMOSの標準的なシンボル表記は用いず、一般的なCMOSインバータと、容量素子のシンボルを用いて表わしてある。601は、CMOSインバータ、602および603は、それぞれ $mC$ 、 $(2^n - m)C$ の容量素子である。604は、CMOSインバータ601と容量602、603を接続する節点である。節点604をフローティングゲートとして、CMOSインバータ601と容量602、603により、2つの入力結合電極を持ったニューロンMOSインバータを構成している。つまり節点604は、ニューロンMOSインバータのフローティングゲートである。このニューロンMOSインバータを2の $n$ 乗個並列に配置することにより、 $n$ ビットの一括変換型A/D変換器のコンパレータ部となる。図6では、簡単のため、 $m$ 番目の1個のコンパレータを抜き出して示してある。605、606はコンパレータとして働くニューロンMOSインバータの2つの入力結合電極に信号を供給する配線で、全コンパレータ共通の信号配線である。607、608はスイッチで、信号配線605、606に供給する信号として、A/D変換器の入力であるアナログ電圧信号 $V_{IN}$ か、最大基準電圧 $V_H$ および最小基準電圧 $V_L$ か、どちらかを選択するためのものである。

【0050】スイッチ609は、ニューロンMOSインバータのフローティングゲートの余剰電荷をリセットするためのものであり、ニューロンMOSインバータの出力とフローティングゲート604との間にある。本実施

例は、ニューロンMOSトランジスタのフローティングゲートがスイッチ素子を介して接続されている節点が、そのニューロンMOSトランジスタ自身が構成するインバータ回路の出力であるような半導体集積回路の一例である。

【0051】このニューロンMOS回路の、フローティングゲート余剰電荷のリセットは、以下のように行われる。リセット期間においては、スイッチ609がオンする様に制御され、ニューロンMOSインバータのフローティングゲート604と、フローティングゲート604からみたインバータ601の出力が導通する。したがって、フローティングゲート604、つまりインバータ601の入力と、インバータ601の出力が強制的に同電位となる。つまり、ニューロンMOSインバータのフローティングゲート604は、インバータ601の入出力\*

$$V_{REF} = V_L + \frac{m}{2^n} (V_H - V_L)$$

で表わされる等価電位 $V_{REF}$ が印加されていることと同じである。この等価電位 $V_{REF}$ は、最小基準電圧 $V_L$ と最大基準電圧 $V_H$ の間を $2^n$ 等分した $m$ 番目の電位であり、 $m$ 番目のコンパレータに対する基準電位となる。ニューロンMOSを用いたこのコンパレータは、基準電位を、ニューロンMOSの入力結合容量を用いた容量分割原理により発生させているのである。ところで、結果的には、リセット期間中は、等価単一入力結合容量の両端に、 $V_{REF}$ と $V_{INV}$ の電位が印加されることになる。リセットが終了すれば、スイッチ609は解放され、フローティングゲート604は電気的にフローティングになる。したがって、リセット時の $V_{REF}$ と $V_{INV}$ の電位差※

$$\Phi_F = V_{INV} - V_{REF} + V_{INV}$$

となる。ただし、フローティングゲート604に関連する寄生容量は小さいとして無視している。式9をみても分かるように、フローティングゲートにスイッチを付加し、これまで述べた様な制御を行うことにより、フローティングゲートレベルで信号の引き算が実現できている。 $V_{IN}$ の方が $V_{REF}$ より小さいと、フローティングゲートの電位 $\Phi_F$ が $V_{INV}$ より小さくなり、インバータ601は1を出力する。一方、 $V_{IN}$ の方が $V_{REF}$ より大きいと、フローティングゲートの電位 $\Phi_F$ が $V_{INV}$ より大きくなり、インバータ601は反転し、0を出力する。つまり、入力アナログ信号電圧 $V_{IN}$ と基準電圧 $V_{REF}$ の比較（コンパレーション）が実行できるのである。

【0054】リセット時において、フローティングゲート604は、毎回必ず同じ電位、 $V_{INV}$ にバイアスされるため、リセット期間以外の演算期間における、ホットキャリア注入等による、ニューロンMOSインバータの入力結合電極から見た反転しきい値の経時変化はリセットすることができる。加えて、リセット時にはフローティングゲート604が反転しきい値電位 $V_{INV}$ でリセットされ、比較演算時にも、フローティングゲート604

\*が等しい電圧、つまり、インバータ601の反転しきい値 $V_{INV}$ に、自動的にバイアスされることになる。一方、スイッチ609と同時にスイッチ607およびスイッチ608も、リセット期間中はスイッチが下のほうに、つまり、配線605に $V_H$ が、配線606に $V_L$ が印加されるように制御される。したがって、容量602の入力側の電極には電圧 $V_H$ が、容量603の入力側には $V_L$ がそれぞれ印加される。容量602の静電容量が $mC$ 、容量603の静電容量が $(2^n - m)C$ であることを考慮すると、容量602と容量603をまとめた、静電容量 $2^n C$ の1個の等価的な単一入力結合容量を仮定し、その入力側に、

【0052】

【数8】

(8)

※に対応する電荷がフローティングゲート604内に残留することになる。これは、アナログ電位を、容量に蓄えられた電荷としてダイナミックに記憶するメモリ機能といえる。リセット期間が終われば、スイッチ607、608も切り換わり、配線605および606には共にアナログ信号電圧 $V_{IN}$ が接続される。したがって、等価単一入力結合容量の入力側の電極にはアナログ信号入力 $V_{IN}$ が印加される。このとき、フローティングゲート604内に残留している電荷量を考慮すれば、フローティングゲート604の電位 $\Phi_F$ は、

【0053】

【数9】

(9)

の電位が反転しきい値電位 $V_{INV}$ より大きい小さいかで判定が行われる。つまり、リセット時も比較演算時も共に反転しきい値が基準となっている。したがって、インバータの反転しきい値 $V_{INV}$ が個々のコンパレータの間でばらついていても、比較演算時の誤差とはならない。リセット時の入力結合電極の電位と、比較演算時の入力結合電極の電位の差分だけが比較されるのである。つまり、本実施例で示した手法を用いれば、デバイス動作に伴うニューロンMOSインバータの入力結合電極から見た反転しきい値の経時変化のみならず、個々の素子パラメタのばらつきに起因する、フローティングゲートから見たインバータの反転しきい値のばらつきをもキャンセルすることができるのである。

【0055】以上の説明は、ニューロンMOSの入力結合電極に、リセット時、つまりスイッチ609がオンの時に基準電圧が、比較演算動作時にアナログ入力信号が印加されるように制御する場合であるが、逆のシーケンスでもよい。つまり、リセット時にアナログ入力信号電圧が、比較演算動作時に基準電圧が印加されるように制御することもできる。このときは、アナログ信号入力

入力結合容量に記憶保持されることになり、A/D変換時のサンプル・アンド・ホールド機能を同時に実現する。これは、サプレジング型のA/D変換器の構成時には効果的である。

【0056】（第5の実施例）図7は、本発明の第5の実施例を示す回路の構成図である。この回路は、第4の実施例で述べた、ニューロンMOSインバータのフローティングゲートと出力をスイッチを介して接続し、フローティングゲート電荷をリセットする手法を、ニューロンMOS論理回路に適用した例である。3入力の排他的論理和（XOR）を演算する回路である。リセット機構部を除いて、第3の実施例の回路と同じである。701、702はニューロンMOSインバータである。回路の構成上、701をメインインバータ、702をプレインバータと呼ぶ。703、704は、それぞれニューロンMOSインバータ701、702のフローティングゲート余剰電荷をリセットするためのスイッチ素子として用いているNチャネルMOSトランジスタである。これらのNチャネルMOSトランジスタスイッチは、制御信号 $\phi_{FG}$ により制御され、ニューロンMOSインバータのフローティングゲートと出力の間の接続、解放を行っている。NチャネルMOSトランジスタ705およびPチャネルMOSトランジスタ706は、ニューロンMOSインバータ702の出力と、ニューロンMOSインバータ701の2つの入力結合電極をまとめた節点707の間の接続、遮断を行うCMOSスイッチを構成している。708は、節点707、つまりニューロンMOSインバータ701の2つの入力結合電極を接地電位電極に接続するためのNチャネルMOSトランジスタスイッチである。これらのスイッチは、制御信号 $\phi_R$ で制御される。709、710、711、712はともにNANDゲートである。

【0057】リセット動作は以下のようにして行われる。まず、ニューロンMOSインバータのフローティングゲートと出力とを結ぶスイッチをオンにする。これにより、フローティングゲートは、インバータの反転しきい値 $V_{INV}$ に自動的にバイアスされる。同時に、第1の信号の組として、ニューロンMOSインバータの複数の入力結合電極の電位を、その平均した値が論理的なしきい値、つまり $V_{DD}/2$ になるように制御する。これにより、フローティングゲートには、論理的なしきい値 $V_{DD}/2$ と、フローティングゲートから見たインバータの実際のしきい値 $V_{INV}$ の間のずれの電位差に相当する電荷が誘起される。したがって、フローティングゲート電荷量の経時変化がリセットできるだけでなく、各々のインバータのパラメータの誤差に由来する反転しきい値 $V_{INV}$ のばらつきをキャンセルすることができる。つまり、個々のインバータで $V_{INV}$ にばらつきがあっても、本実施例で示すリセット手法により、入力結合電極から見た論理的なしきい値は、すべてのニューロンMOSインバ

ータで正確に  $V_{DD}/2$  に合わせることができるのである。したがって、ニューロンMOS論理回路の演算精度が向上し、ノイズマージンが改善され、入力数の多い（ファンインの大きい）論理回路を実現することができる。

【0058】具体的には、まず、スイッチ703、704をオンし、ニューロンMOSインバータ701および702のフローティングゲートをインバータの反転しきい値 $V_{INV}$ にバイアスする。入力結合電極の電位の平均を $V_{DD}/2$ にするためには、ニューロンMOSインバータのフローティングゲートに容量結合する入力結合電極の中で、半分の結合容量分の入力結合電極を $V_{DD}$ に、残りの半分の接地電位にする。図7の例では、演算時に回路の入力信号 $V_A$ 、 $V_B$ 、 $V_C$ が印加される節点713、714、715に接続される入力結合電極は、リセット時にはすべて $V_{DD}$ 、それ以外を入力結合電極にはすべて接地電位が印加されるように構成されている。NANDゲート709、710、711は、リセット時に、入力信号によらず、節点713、714、715を $V_{DD}$ にするためのスイッチとして用いている。MOSトランジスタ705、706からなるCMOSスイッチ、およびNチャネルMOSトランジスタスイッチ708は、リセット時に、ニューロンMOSインバータ701の入力結合電極とニューロンMOSインバータ702の出力節点を切り離し、ニューロンMOSインバータ701の入力結合電極に接地電位を印加するためのものである。NANDゲート712は、ニューロンMOS論理回路がカスケード接続された場合に、リセット時に、前段回路の出力つまり後段回路の入力を $V_{DD}$ にバイアスするためのものである。709、710、711のNANDゲートと目的、機能は同じである。この場合、後段の回路において、709等の入力部NANDゲートが必要ないことはいうまでもない。

【0059】入力結合電極716、717、718、719は、他の入力結合電極の半分の結合容量をもっている。これらの入力結合電極は、ニューロンMOS論理回路の演算自体には何も寄与しない電極である。リセット時に、全入力結合電極電位の重み付平均値が $V_{DD}/2$ となるように調整するためのものである。具体的には、リセット時、入力結合電極716、717、718、719は、すべて接地電位となる。演算時には、716と717の平均電位、および718と719の平均電位がともに論理しきい値 $V_{DD}/2$ となるようになっており、これらの電極は、演算結果に全く影響を与えない。リセット時に接地電位、演算時に $V_{DD}/2$ となる様に制御された節点を用いれば、入力結合電極716、717および718、719は、それぞれで他の入力結合電極と同じ結合容量の1つの電極にまとめても構わない。

【0060】本実施例においては、リセット時に入力結  
50 合電極の電位の平均を  $V_{DD}/2$  にするために、ニューロ

ンMOSインバータのフローティングゲートに容量結合する全入力結合電極の中で、半分の結合容量分に相当する、節点713、714、715に接続された入力結合電極を $V_{DD}$ に、残りの半分の入力結合電極を接地電位にしているが、必ずしもこの方法である必要はなく、逆に節点713、714、715に接続された入力結合電極を接地電位に、他を $V_{DD}$ でもよいし、例えば、すべての入力結合電極に $V_{DD}/2$ を印加することによって実施してもかまわない。

【0061】図8は、本実施例の図7の回路の入出力信号波形および内部信号波形を測定した結果を示している。10  $\phi_{FP}$ は、ニューロンMOSインバータ702のフローティングゲート電位波形である。第1番目のリセット周期においては、フローティングゲートの電位が2.6Vになっていることがわかる。リセット周期が終われば、入力の信号変化に対応してフローティングゲートの電位が2.6Vを中心にして変化し、演算が行われていることがわかる。第2番目のリセット周期の始まりとともに、ニューロンMOSインバータを構成するNチャネルMOSトランジスタの基板バイアス電圧 $V_{SUB}$ を0V 20 から-1Vに変化させている。この操作により、ニューロンMOSインバータのフローティングゲートから見た反転しきい値は、強制的に2.6Vから3.1Vに変わってしまうが、リセット周期により、新しい反転しきい値の3.1Vでフローティングゲートリセットが行われ、これによりフローティングゲート電位がシフトし、3.1Vを中心にして変化するようになる。つまり、インバータの反転しきい値のズレが自動的にキャンセルされたことを示している。回路の出力 $V_{OUT}$ は、第1番目のリセット後、第2番目のリセット後ともに、3入力V 30  $A$ 、 $V_B$ 、 $V_C$ に対して正常な排他的論理和(XOR)となっている。

【0062】リセットサイクルは、まず制御信号 $\phi_{FG}$ が立ち下がり、ついで $\phi_R$ が立ち下がることにより終了する。制御信号は、 $\phi_{FG}$ と $\phi_R$ の2種類用いているが、配線の伝搬遅延等を考慮し、フローティングゲートスイッチ703および704の解放されるタイミングが他のスイッチよりも遅れるように構成されていれば同じ制御信号を用いても構わない。

【0063】本実施例で用いたスイッチ素子は、NチャネルMOSトランジスタ、CMOSスイッチ、NANDゲートであるが、これらに限定されるものではなく、スイッチ機能を果たすものであれば、本発明の回路動作にとって本質的ではない若干の回路接続変更により用いることが可能である。

【0064】ここでは、3入力のXOR関数を演算するニューロンMOS論理回路を例にとり、本実施例を説明したが、3入力のXOR関数に限定されるものではなく、広くニューロンMOS論理回路全体に適用できるものである。

【0065】(第6の実施例)図9は、本発明の第6の実施例を示したものである。901は、ニューロンMOSインバータ、902は、ニューロンMOSインバータ901のフローティングゲート電荷をリセットするためのスイッチである。903は、ニューロンMOSインバータ901の出力に接続されている通常のインバータである。ニューロンMOSインバータ901の出力は、インバータ903で論理反転された後、スイッチ904を介して自分自身のフローティングゲートと接続されている。ニューロンMOSインバータ901の入力結合電極にはリセット機構に対応した回路ブロックが続いており、たとえば、第1の実施例(図1)の様にスイッチ素子の場合や、第3の実施例(図4)の様に一部ニューロンMOS回路の出力が接続される場合がある。これらニューロンMOSインバータ901の前段の回路は、本実施例の説明において本質的ではないので省略する。

【0066】本実施例に示す回路のフローティングゲート残留電荷のリセットは、第2の実施例の回路と同じく、リセット時にフローティングゲートを接地電位にバイアスする手法を例として採用している。リセット時には、スイッチ902がオン、スイッチ904がオフである。リセット周期が終了し、回路が論理演算を実行している間は、スイッチ902、904共にオフである。これまでの動作は、実施例2の場合と同じである。

【0067】演算が終了し、回路の出力 $V_{OUT}$ が確定した後、スイッチ904をオンにすることにより、ニューロンMOSインバータ901のフローティングゲートに、回路の出力、つまり、ニューロンMOSインバータ901自身の出力を論理反転したもの、がフィードバックされる。スイッチ904のオンの前の時点で、ニューロンMOSインバータ901のフローティングゲートの電位が、フローティングゲートから見たインバータの反転しきい値 $V_{INV}$ より大きい場合、ニューロンMOSインバータ901の出力は0、インバータ903により反転整形された回路出力は1、つまり $V_{DD}$ の電位である。スイッチ904のオンにより、この $V_{DD}$ の電位が、ニューロンMOSインバータ901のフローティングゲートに印加されるのである。元々ニューロンMOSインバータ901のフローティングゲートの電位は $V_{INV}$ より大きかったわけであるが、これが促進され、最終的に $V_{DD}$ に達するのである。一方、スイッチ904のオンの前の時点で、ニューロンMOSインバータ901のフローティングゲートの電位が、 $V_{INV}$ より小さい場合、スイッチ904のオンにより、接地電位が、ニューロンMOSインバータ901のフローティングゲートに印加されることになる。一旦、スイッチ904のオンにより、ニューロンMOSインバータのフローティングゲートに $V_{DD}$ あるいは接地電位が低インピーダンスで供給されると、ニューロンMOSインバータ901、通常インバータ903、スイッチ904で構成されるループは、その値を 50



安定に保持することができる。つまり、スイッチ904がオンしてフィードバックループが形成されると、以後、ニューロンMOSインバータの入力結合電極の電位がどのように変化しようとも、フィードバックループはループ形成時点の出力状態を維持する事ができる。ニューロンMOS回路において、ある時点の論理状態を保持するラッチ機能が実現できるのである。保持状態のリセットは、通常フローティングゲート残留電荷のリセットと同じ手法により実施できる。

【0068】ニューロンMOS論理回路においては、ニューロンMOSトランジスタのフローティングゲートで多値の信号を取り扱うため、論理振幅が小さくなってしまい、フローティングゲートの電位は常にインバータの遷移領域付近にバイアスされ、結果として、常に貫通電流が流れ、回路の消費電力を増大させていた。本実施例で示す手法を用いれば、フローティングゲートにフィードバックをかけた後は、フローティングゲートの電位は $V_{DD}$ か接地電位になるので、基本的にCMOSインバータでは貫通電流は流れない。したがって、消費電力の低減に効果的である。

【0069】本実施例においては、ニューロンMOSの入力結合電極およびフローティングゲートを共に接地電位にバイアスするリセット手法を取り上げたが、他に、 $V_{DD}$ 電位でリセットする手法等、種々のバリエーションがあることは言うまでもない。ニューロンMOSインバータ901の出力を論理反転する回路として通常インバータ903を用いたが、他のものでもよく、たとえばNANDやNORゲートでもよいことは言うまでもない。また、回路の出力としては、通常インバータ903の出力を取り出しているが、ニューロンMOSインバータ901の出力を回路の出力として取り出してもよいことは言うまでもない。

【0070】

【発明の効果】請求項1に係る発明によれば、ニューロンMOSトランジスタを用いた集積回路において、デバイス製造時のフローティングゲート残留電荷や、デバイス動作に伴うフローティングゲート注入電荷を効果的にリセットすることができ、フローティングゲート電荷に由来する回路の誤動作を防止することができるため、ニューロンMOS集積回路の信頼性を向上することができる。さらに、フローティングゲートを用いた多値信号の演算の精度が向上し、ノイズマージンが増大することから、より多機能な演算を行うことができる。

【0071】請求項2に係る発明によれば、特にニューロンMOS論理回路において、信頼性の向上、機能の向上が実現できる。

【0072】請求項3に係る発明によれば、特にニューロンMOSトランジスタを用いたアナログ回路において、信頼性の向上、機能の向上が実現できる。

【0073】請求項4に係る発明によれば、ニューロン

MOS集積回路において、信頼性の向上、機能の向上が実現できるとともに、一部の回路においては回路の簡単化も実現できる。

【0074】請求項5に係る発明によれば、特にニューロンMOS論理回路において、信頼性の向上、機能の向上を実現できる。たとえば、ある論理回路Aの出力を、ニューロンMOS論理回路Bに含まれるニューロンMOSトランジスタのフローティングゲートにスイッチを介して接続すれば、論理回路Aの演算結果に基づいてニューロンMOS論理回路Bの演算機能を切り替えたりすることができ、より高機能な集積回路が実現できる。

【0075】請求項6に係る発明によれば、特にニューロンMOS論理回路において、信頼性の向上、機能の向上を実現できるとともに、回路内でフィードバックループを構成することになり、より多彩な機能が実現できる。

【0076】請求項7に係る発明によれば、特にニューロンMOS論理回路において、個々のトランジスタの持つしきい値のばらつきをもキャンセルする事ができ、演算の精度、信頼性、機能を飛躍的に高めることができる。

【0077】請求項8に係る発明によれば、特にニューロンMOS論理回路において、信頼性の向上、機能の向上が実現できるだけでなく、入力データや演算結果などを論理的に保持するラッチ回路を構成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す概略構成回路図である。

【図2】スイッチ素子としてPNダイオードを用いた場合の概略構成回路図である。

【図3】本発明の第2の実施例を示す概略構成回路図である。

【図4】本発明の第3の実施例を示す概略構成回路図である。

【図5】本発明の第3の実施例の回路の入出力、内部信号波形を測定した結果を示す図である。

【図6】本発明の第4の実施例を示す概略構成回路図である。

【図7】本発明の第5の実施例を示す概略構成回路図である。

【図8】本発明の第5の実施例の回路の入出力、内部信号波形を測定した結果を示す図である。

【図9】本発明の第6の実施例を示す概略構成回路図である。

【符号の説明】

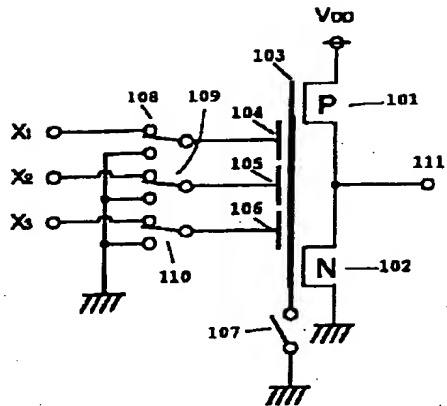
101 PチャネルニューロンMOSトランジスタ、  
102 NチャネルニューロンMOSトランジスタ、  
103 フローティングゲート、  
104, 105, 106 入力結合電極、

25

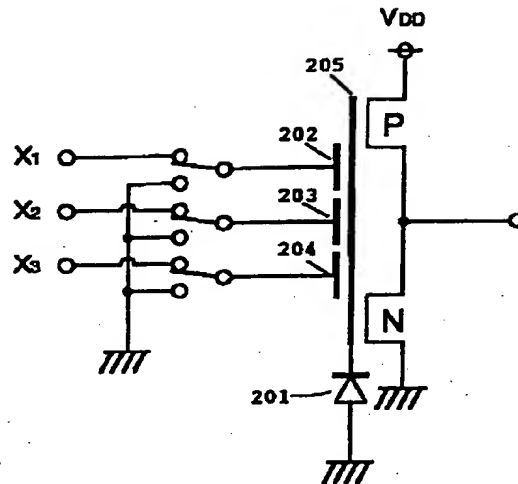
107, 108, 109, 110 スイッチ、

111 出力。

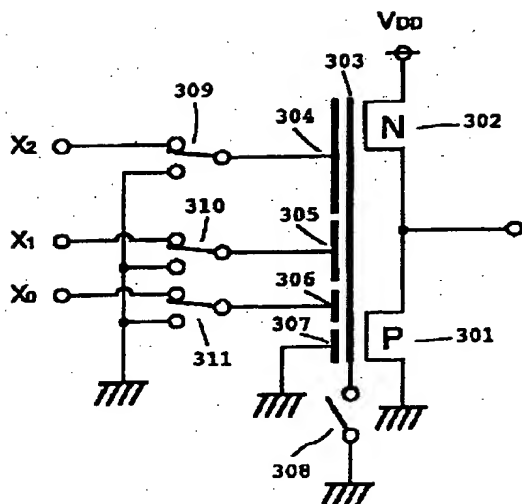
【図1】



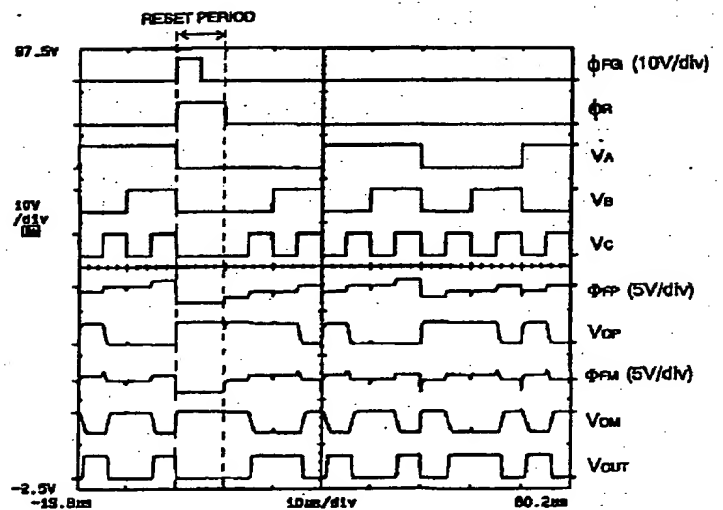
【図2】



【図3】

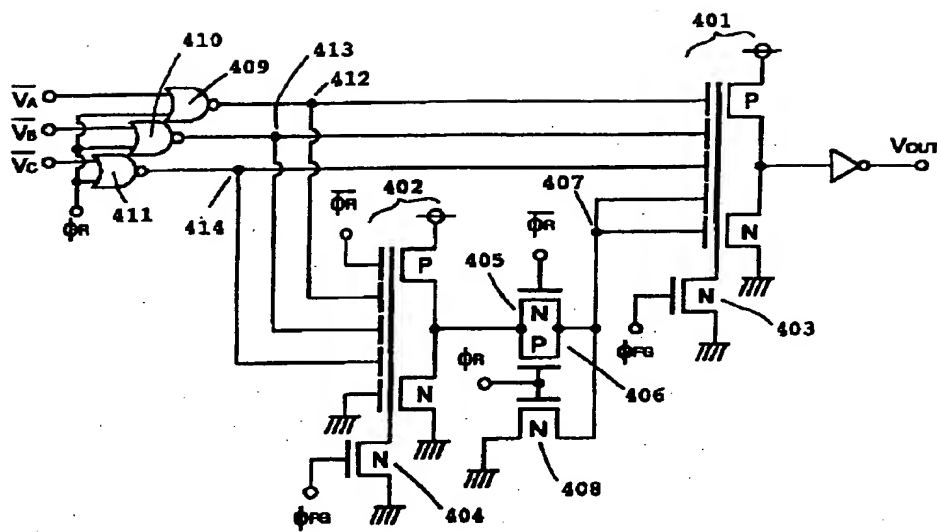


【図5】

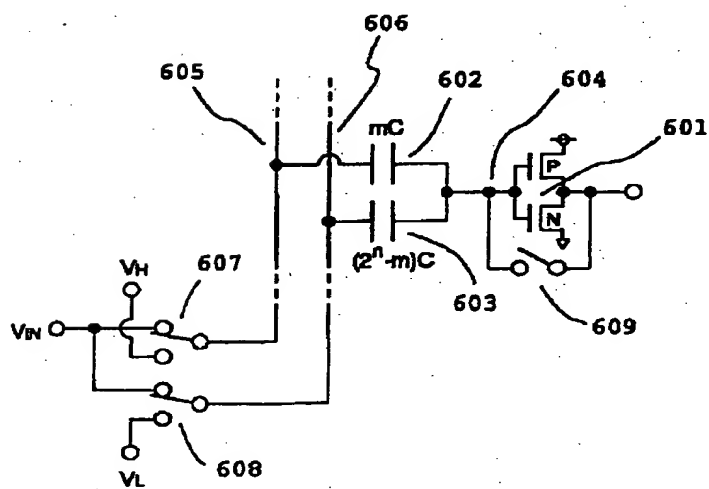




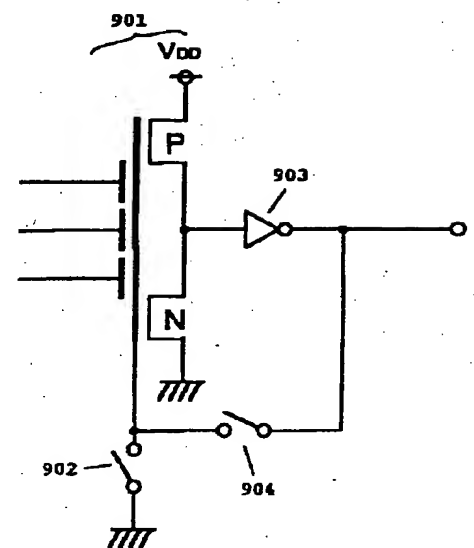
【図 4】



【図 6】



【图9】



The timing diagram illustrates the behavior of various signals during two periods: RESET PERIOD and RESET PERIOD. The signals shown are:

- $\Phi_{FG}$  (10V/div): A square wave signal.
- $\Phi_R$ : A square wave signal.
- $V_A$ : A square wave signal.
- $V_B$ : A square wave signal.
- $V_C$ : A square wave signal.
- $V_{SUB}$  (2V/div): A square wave signal.
- $\Phi_{FP}$  (1V/div): A square wave signal.
- $V_{OUT}$ : A square wave signal.

The diagram includes voltage levels (10V, 2V/div, 1V/div) and time intervals (10ns/div, 45.2ns). A specific voltage level of 2.6V is indicated for  $\Phi_{FP}$  during the RESET PERIOD, and 3.1V is indicated for  $\Phi_{FP}$  during the RESET PERIOD.

### 技術表示箇所

(72)発明者 大見 忠弘  
宮城県仙台市青葉区米ヶ袋2-1-17-  
301